

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-265045

(43)Date of publication of application :15.10.1993

(51)Int.Cl.

G02F 1/136

G02F 1/133

G096 3/36

(21)Application number : 04-064148

(71)Applicant : FUJITSU LTD

(22)Date of filing : 19.03.1992

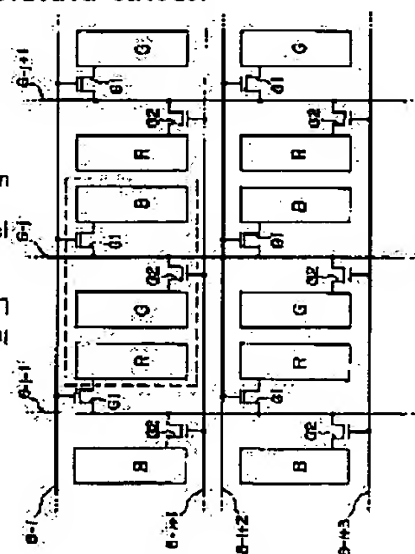
(72)Inventor : TAKAHARA KAZUHIRO
HARAGUCHI MUNEHIO
YAMAGUCHI TADAHISA
ODA MASAMI
HOSHIYA TAKAYUKI
MURAKAMI HIROSHI
ITOKAZU MASASHI

(54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE AND ITS DRIVING CIRCUIT

(57)Abstract:

PURPOSE: To provide an active matrix type liquid crystal display device reducing its production cost by reducing the number of data electrode side driving circuits, capable of easily connecting the driving circuit to a panel terminal electrode and improving the yield of connection by constituting the display device of a TFT array.

CONSTITUTION: The active matrix type liquid crystal display device consistin of arraying $M \times N$ (M and N are optional positive integers) picture element electrodes like a matrix is constituted of $2N$ scanning lines $8-1$ to $8-2N$ each of which allocates two lines to one scanning direction display line, $M/2$ data lines $6-1$ to $6-M/2$, the 1st TFT gates $G1$ each of which is connected to a optional data line and one scanning line in each display line, and the 2nd TFT gates $G2$ each of which is connected to the data line and the other scanning line.



LEGAL STATUS

[Date of request for examination]

07.04.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3091300

[Date of registration]

21.07.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(R)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-265045

(43) 公開日 平成5年(1993)10月15日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G02F 1/136	500	9018-2K		
1/133	550	7820-2K		
G09G 3/36		7319-5G		

審査請求 未請求 請求項の数35 (全42頁)

(21) 出願番号 特願平4-64148

(22) 出願日 平成4年(1992)3月19日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 高原 和博

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 原口 宗広

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 山口 忠久

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 石川 泰男

最終頁に続く

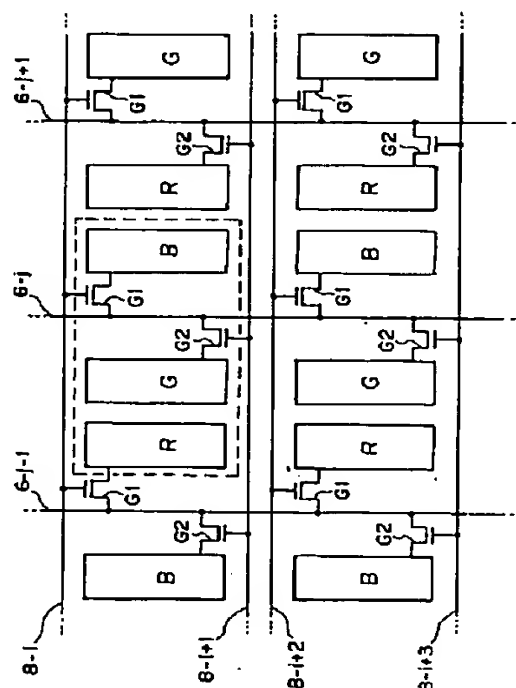
(54) 【発明の名称】 アクティブマトリクス型液晶表示装置及びその駆動回路

(57) 【要約】

【目的】 本発明はTFTアレイからなるアクティブマトリクス型液晶表示装置に関し、データ電極側の駆動回路数を減少させることにより低コストを図り、また回路とパネル端子電極の接続が容易で、接続の歩留りを向上させたアクティブマトリクス型液晶表示装置を提供することを目的とする。

【構成】 画素電極を $M \times N$ (M , N は任意の正整数)のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、走査方向の1表示ラインに対して2本ずつ割り当てられる $2N$ 本の走査ライン $8-1 \sim 8-2N$ と、 $M/2$ 本のデータライン $6-1 \sim 6-M/2$ と、各表示ラインにおいて、任意のデータラインと一方の走査ラインに接続される第1のTFTゲート $G1$ と、データラインと他方の走査ラインに接続される第2のTFTゲート $G2$ とを有して構成する。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 画素電極を $M \times N$ (M, N は任意の正整数)のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、

走査方向の1表示ラインに対して2本ずつ割り当てられる $2N$ 本の走査ライン ($8-1 \sim 8-2N$) と、 $M/2$ 本のデータライン ($6-1 \sim 6-M/2$) と、各表示ラインにおいて、任意のデータラインと一方の走査ラインに接続される第1のTFTゲート ($G1$) と、前記データラインと他方の走査ラインに接続される第2のTFTゲート ($G2$) とを有することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】 任意の表示ラインに対する2本の走査ライン ($8-i$ 及び $8-i+1$; $i=1 \sim 2N$) は、それぞれ時分割で駆動されることを特徴とする請求項1に記載のアクティブマトリクス型液晶表示装置。

【請求項3】 前記第1のTFTゲート ($G1$) は走査方向に対して偶数または奇数番目の画素電極に接続され、前記第2のTFTゲート ($G2$) は走査方向に対して奇数または偶数番目の画素電極に接続され、
1走査ライン分の表示データは、奇数番目の画素電極に対応した奇数ラインデータと、偶数番目の画素電極に対応した偶数ラインデータとに分割され、
任意の表示ラインに対する2本の走査ライン ($8-i$ 及び $8-i+1$) は、1水平走査期間内に時分割に駆動され、前記一方の走査ライン ($8-i$) の駆動期間中は前記データライン ($6-1 \sim 6-M/2$) に奇数ラインデータまたは偶数ラインデータが、前記他方の走査ライン ($8-i+1$) の駆動期間中は前記データライン ($6-1 \sim 6-M/2$) に偶数ラインデータまたは奇数ラインデータが印加されることを特徴とする請求項1または2に記載のアクティブマトリクス型液晶表示装置。

【請求項4】 前記第1のTFTゲート ($G1$) は走査方向に対して偶数または奇数番目の画素電極に接続され、前記第2のTFTゲート ($G2$) は走査方向に対して奇数または偶数番目の画素電極に接続され、
1走査ライン分の表示データは、奇数番目の画素電極に対応した奇数ラインデータと、偶数番目の画素電極に対応した偶数ラインデータとに分割され、
1垂直走査期間を第1の期間及び第2の期間に分け、
前記第1の期間には、前記データライン ($6-1 \sim 6-M/2$) に奇数ラインデータまたは偶数ラインデータが印加され、各表示ラインに対して一方の走査ライン ($8-i$) のみが順に駆動され、前記第2の期間には、前記データライン ($6-1 \sim 6-M/2$) に偶数ラインデータまたは奇数ラインデータが印加され、各表示ラインに対して他方の走査ライン ($8-i+1$) のみが順に駆動されることを特徴とする請求項1または2に記載のアクティブマトリクス型液晶表示装置。

【請求項5】 前記画素電極 ($1(i, j)$; $i=1 \sim$

$N, j=1 \sim M$) は、赤画素電極 (R)、緑画素電極 (G)、或いは青画素電極 (B) であって、横方向に赤画素電極 (R)、緑画素電極 (G)、及び青画素電極 (B) を順に配列して1カラー画素を構成し、カラー表示することを特徴とする請求項1、2、3、または4に記載のアクティブマトリクス型液晶表示装置。

【請求項6】 請求項1、2、3、または5に記載のアクティブマトリクス型液晶表示装置を駆動するアクティブマトリクス型液晶表示装置の駆動回路であって、

10 1走査ライン分の表示データを、奇数番目の画素電極に対応した奇数ラインデータと、偶数番目の画素電極に対応した偶数ラインデータとに分割して出力するデータ処理回路 (15) と、 $2N$ 本の走査ライン ($8-1 \sim 8-2N$) を駆動する走査電極ドライバ (4) と、 $M/2$ 本のデータライン ($6-1 \sim 6-M/2$) を駆動するデータ電極ドライバ (2及び3) と、
任意の表示ラインに対する2本の走査ライン ($8-i$ 及び $8-i+1$; $i=1 \sim 2N$) を1水平走査期間内に時分割に駆動するよう前記走査電極ドライバ (4) を制御し、前記一方の走査ライン ($8-i$) の駆動期間中は前記データライン ($6-1 \sim 6-M/2$) に奇数ラインデータまたは偶数ラインデータを、前記他方の走査ライン ($8-i+1$) の駆動期間中は前記データライン ($6-1 \sim 6-M/2$) に偶数ラインデータまたは奇数ラインデータを印加するよう前記データ電極ドライバ (2及び3) を制御する制御手段 (16) とを有することを特徴とするアクティブマトリクス型液晶表示装置の駆動回路。

【請求項7】 請求項1、2、4、または5に記載のアクティブマトリクス型液晶表示装置を駆動するアクティブマトリクス型液晶表示装置の駆動回路であって、

1走査ライン分の表示データを、奇数番目の画素電極に対応した奇数ラインデータと、偶数番目の画素電極に対応した偶数ラインデータとに分割して出力するデータ処理回路 (15) と、 $2N$ 本の走査ライン ($8-1 \sim 8-2N$) を駆動する走査電極ドライバ (4) と、 $M/2$ 本のデータライン ($6-1 \sim 6-M/2$) を駆動するデータ電極ドライバ (2及び3) と、

1垂直走査期間を第1の期間及び第2の期間に分け、前記第1の期間には、前記データライン ($6-1 \sim 6-M/2$) に奇数ラインデータまたは偶数ラインデータを印加して、各表示ラインに対して一方の走査ライン ($8-i$; $i=1 \sim 2N$) のみを順に駆動し、前記第2の期間には、前記データライン ($6-1 \sim 6-M/2$) に偶数ラインデータまたは奇数ラインデータを印加して、各表示ラインに対して他方の走査ライン ($8-i+1$) のみを順に駆動するよう前記データ電極ドライバ (2及び3) 及び走査電極ドライバ (4) を制御する制御手段 (16) とを有することを特徴とするアクティブマトリクス型液晶表示装置の駆動回路。

【請求項8】 画素電極を $M \times N$ (M, N は任意の正整数)のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、

走査方向の1表示ラインに対して第1走査ライン($8-1 \sim 8-N$)及び第2走査ライン($9-1 \sim 9-N$)の2本ずつが割り当てられる $2N$ 本の走査ラインと、 M 本のデータライン($6-1 \sim 6-M$)と、各表示ラインにおいて、任意のデータラインと一方の走査ライン($8-i$; $i=1 \sim N$)に接続される第1のTFTゲート(T_1)と、前記第1のTFTゲート(T_1)と他方の走査ライン($9-i$)に接続される第2のTFTゲート(T_2)とを有することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項9】 前記 N 本の第1走査ライン($8-1 \sim 8-N$)及び第2走査ライン($9-1 \sim 9-N$)は、それぞれ $N/2$ 本ずつのグループに分けられて、各グループは共通接続されることを特徴とする請求項8に記載のアクティブマトリクス型液晶表示装置。

【請求項10】 前記第1走査ライン($8-1 \sim 8-N$)のグループの1つと前記第2走査ライン($9-1 \sim 9-N$)のグループの1つが時分割に選択され、前記第1走査ライン($8-i$)及び第2走査ライン($9-i$)の双方が同時に選択された表示ライン上の画素電極($1(i, j)$; $j=1 \sim M$)に表示データを書き込み、線順次走査して表示することを特徴とする請求項9に記載のアクティブマトリクス型液晶表示装置。

【請求項11】 前記画素電極($1(i, j)$; $i=1 \sim N, j=1 \sim M$)は、赤画素電極(R)、緑画素電極(G)、或いは青画素電極(B)であって、横方向に赤画素電極(R)、緑画素電極(G)、及び青画素電極(B)を順に配列して1カラー画素を構成し、カラー表示することを特徴とする請求項8、9、または10に記載のアクティブマトリクス型液晶表示装置。

【請求項12】 請求項8、9、10、または11に記載のアクティブマトリクス型液晶表示装置を駆動するアクティブマトリクス型液晶表示装置の駆動回路であって、

前記第1走査ライン($8-1 \sim 8-N$)或いは第1走査ラインの各グループを駆動する第1走査電極ドライバ(4)と、前記第2走査ライン($9-1 \sim 9-N$)或いは第2走査ラインの各グループを駆動する第2走査電極ドライバ(5)と、 M 本のデータライン($6-1 \sim 6-M$)を駆動するデータ電極ドライバ(2及び3)と、前記第1走査ラインのグループの1つと前記第2走査ラインのグループの1つが時分割に駆動するよう前記第1走査電極ドライバ(4)及び第2走査電極ドライバ

(5)を制御し、前記第1走査ライン($8-i$; $i=1 \sim N$)及び第2走査ライン($9-i$)の双方が同時に選択された表示ライン上の画素電極($1(i, j)$; $j=1 \sim M$)に表示データを印加するよう前記データ電極ド

ライバ(2及び3)を制御する制御手段(16)とを有することを特徴とするアクティブマトリクス型液晶表示装置の駆動回路。

【請求項13】 前記共通接続される第1走査ライン($8-1 \sim 8-N$)及び第2走査ライン($9-1 \sim 9-N$)の各グループの配線は、表示パネル基板上に施されることを特徴とする請求項10、11、または12に記載のアクティブマトリクス型液晶表示装置及びその駆動回路。

10 【請求項14】 前記共通接続される第1走査ライン($8-1 \sim 8-N$)及び第2走査ライン($9-1 \sim 9-N$)の各グループの配線は、駆動回路基板上に施されることを特徴とする請求項10、11、または12に記載のアクティブマトリクス型液晶表示装置及びその駆動回路。

【請求項15】 画素電極を $M \times N$ (M, N は任意の正整数)のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、
 $N+1$ 本の走査ライン($8-1 \sim 8-N+1$)と、
 20 M 本のデータライン($6-1 \sim 6-M$)とを有し、
 走査方向の第 i 番目($i=1 \sim N$)の表示ライン上の各画素電極($1(i, j)$; $j=1 \sim M$)において、制御端子を第 i 番目の走査ライン($8-i$)に、一方の端子をデータライン($6-j$)に接続した第1のTFTゲート(Q_1)と、制御端子を第 $i+1$ 番目の走査ライン($8-i+1$)に、一方の端子を該画素電極($1(i, j)$)に、他方の端子を前記第1のTFTゲート(Q_1)の他方の端子に接続した第2のTFTゲート(Q_2)とを有することを特徴とするアクティブマトリクス型液晶表示装置。

30 【請求項16】 前記画素電極($1(i, j)$; $i=1 \sim N, j=1 \sim M$)は、赤画素電極(R)、緑画素電極(G)、或いは青画素電極(B)であって、横方向に赤画素電極(R)、緑画素電極(G)、及び青画素電極(B)を順に配列して1カラー画素を構成し、カラー表示することを特徴とする請求項15に記載のアクティブマトリクス型液晶表示装置。

【請求項17】 請求項15または16に記載のアクティブマトリクス型液晶表示装置を駆動するアクティブマトリクス型液晶表示装置の駆動回路であって、
 K ($K < N+1$)個のドライバ出力を備えて前記走査ライン($8-1 \sim 8-N+1$)を駆動する走査電極ドライバ(4)と、 M 本のデータライン($6-1 \sim 6-M$)を駆動するデータ電極ドライバ(2)と、
 前記第 i 番目($i=1 \sim N$)の走査ライン($8-i$)及び第 $i+1$ 番目の走査ライン($8-i+1$)の双方が同時に選択された第 i 番目の表示ライン上の画素電極($1(i, j)$; $j=1 \sim M$)に表示データを印加するよう前記データ電極ドライバ(2)を制御する制御手段(16)とを有することを特徴とするアクティブマトリクス

型液晶表示装置の駆動回路。

【請求項18】 前記走査電極ドライバ(4)は、 $2L$ ($2L=K<N+1$)個のドライバ出力($O1, E1, O2, E2, \dots, OL, EL$)を備え、前記走査ライン($8-1 \sim 8-N+1$)の奇数番目に対しては、前記ドライバ出力の奇数番目の出力($O1, O2, \dots, OL$)を順に接続し、前記走査ライン($8-1 \sim 8-N+1$)の偶数番目に対しては、前記ドライバ出力の偶数番目の出力($E1, E2, \dots, EL$)を1周期毎に2つずらしながら($E1, E2, \dots, EL, E3, \dots, EL, E5, \dots$)接続することを特徴とする請求項17に記載のアクティブマトリクス型液晶表示装置の駆動回路。

【請求項19】 前記走査電極ドライバ(4)は、 $2L+1$ ($2L+1=K<N+1$)個のドライバ出力を備え、前記走査ライン($8-1 \sim 8-N+1$)に対して、第 i 番目($i=1 \sim N$)の走査ライン($8-i$)及び第 $i+1$ 番目の走査ライン($8-i+1$)に $2L+1$ 個のドライバ出力から異なる2出力の組み合わせ($(2L+1) \times 2L/2$ 個)の内、1つずつが接続されることを特徴とする請求項17に記載のアクティブマトリクス型液晶表示装置の駆動回路。

【請求項20】 画素電極を $M \times N$ (M, N は任意の正整数)のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、 $N+1$ 本の走査ライン($8-1 \sim 8-N+1$)と、 $M/2$ 本のデータライン($6-1 \sim 6-M/2$)とを有し、走査方向の第 i 番目($i=1 \sim N$)の表示ライン上の奇数番目の各画素電極($1(i, k); k=1 \sim M$ の奇数)において、制御端子を第 i 番目の走査ライン($8-i$)に、一方の端子をデータライン($6-j; j$ は $k/2+1$ 以下の最大の整数)に接続した第1のTFTゲート($P1$)と、制御端子を第 $i+1$ 番目の走査ライン($8-i+1$)に、一方の端子を該画素電極($1(i, k)$)に、他方の端子を前記第1のTFTゲート($P1$)の他方の端子に接続した第2のTFTゲート($P2$)とを有し、走査方向の第 i 番目の表示ライン上の偶数番目の各画素電極($1(i, k+1)$)において、制御端子を第 i 番目の走査ライン($8-i$)に、一方の端子を該画素電極($1(i, k+1)$)に、他方の端子をデータライン($6-j$)に接続した第3のTFTゲート($P3$)を有することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項21】 画素電極を $M \times N$ (M, N は任意の正整数)のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、 $N+1$ 本の走査ライン($8-1 \sim 8-N+1$)と、 $M/2+1$ 本のデータライン($6-1 \sim 6-M/2+1$)とを有し、走査方向の第 i 番目($i=1 \sim N$)の表示ライン上の偶

数番目の各画素電極($1(i, h); h=1 \sim M$ の偶数)において、制御端子を第 i 番目の走査ライン($8-i$)に、一方の端子をデータライン($6-j; j=h/2+1$)に接続した第1のTFTゲート($P1$)と、制御端子を第 $i+1$ 番目の走査ライン($8-i+1$)に、一方の端子を該画素電極($1(i, h)$)に、他方の端子を前記第1のTFTゲート($P1$)の他方の端子に接続した第2のTFTゲート($P2$)とを有し、走査方向の第 i 番目の表示ライン上の奇数番目の各画素電極($1(i, h+1)$)において、制御端子を第 i 番目の走査ライン($8-i$)に、一方の端子を該画素電極($1(i, h+1)$)に、他方の端子をデータライン($6-j$)に接続した第3のTFTゲート($P3$)を有することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項22】 画素電極を $M \times N$ (M, N は任意の正整数)のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、 $N+1$ 本の走査ライン($8-1 \sim 8-N+1$)と、 $M/2$ 本のデータライン($6-1 \sim 6-M/2$)とを有し、走査方向の第 i 番目($i=1 \sim N$)の表示ライン上の奇数番目の各画素電極($1(i, k); k=1 \sim M$ の奇数)において、制御端子を第 $i+1$ 番目の走査ライン($8-i+1$)に、一方の端子を該画素電極($1(i, k)$)に接続した第2のTFTゲート($P2$)と、制御端子を第 $i+2$ 番目の走査ライン($8-i+2$)に、一方の端子をデータライン($6-j; j$ は $k/2+1$ 以下の最大の整数)に、他方の端子を前記第2のTFTゲート($P2$)の他方の端子に接続した第1のTFTゲート($P1$)とを有し、走査方向の第 i 番目の表示ライン上の偶数番目の各画素電極($1(i, k+1)$)において、制御端子を第 i 番目の走査ライン($8-i$)に、一方の端子を該画素電極($1(i, k+1)$)に、他方の端子をデータライン($6-j$)に接続した第3のTFTゲート($P3$)を有することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項23】 画素電極を $M \times N$ (M, N は任意の正整数)のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、 $N+1$ 本の走査ライン($8-1 \sim 8-N+1$)と、 $M/2+1$ 本のデータライン($6-1 \sim 6-M/2+1$)とを有し、走査方向の第 i 番目($i=1 \sim N$)の表示ライン上の偶数番目の各画素電極($1(i, h); h=1 \sim M$ の偶数)において、制御端子を第 $i+1$ 番目の走査ライン($8-i+1$)に、一方の端子を該画素電極($1(i, h)$)に接続した第2のTFTゲート($P2$)と、制御端子を第 $i+2$ 番目の走査ライン($8-i+2$)に、一方の端子をデータライン($6-j; j=h/2+1$)

に、他方の端子を前記第2のTFTゲート(P2)の他方の端子に接続した第1のTFTゲート(P1)とを有し、

走査方向の第*i*番目の表示ライン上の偶数番目の各画素電極(1(*i*, *h*+1))において、制御端子を第*i*番目の走査ライン(8-*i*)に、一方の端子を該画素電極(1(*i*, *h*+1))に、他方の端子をデータライン(6-*j*)に接続した第3のTFTゲート(P3)を有することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項24】 前記第1のTFTトランジスタ(P1)または第2のTFTトランジスタ(P2)は、走査ライン(8-*i*)上に構成されることを特徴とする請求項20、21、22、または23に記載のアクティブマトリクス型液晶表示装置。

【請求項25】 前記第3のTFTトランジスタ(P3)と該画素電極(1(*i*, *k*+1)または1(*i*, *h*+1))の間に、制御端子を第*i*番目の走査ライン(8-*i*)に接続した第4のTFTゲート(P4)を有することを特徴とする請求項20、21、21、23、または24に記載のアクティブマトリクス型液晶表示装置。

【請求項26】 前記画素電極(1(*i*, *j*)) ; *i*=1~*N*, *j*=1~*M*)は、赤画素電極(R)、緑画素電極(G)、或いは青画素電極(B)であって、横方向に赤画素電極(R)、緑画素電極(G)、及び青画素電極(B)を順に配列して1カラー画素を構成し、カラー表示することを特徴とする請求項20、21、22、23、24、または25に記載のアクティブマトリクス型液晶表示装置。

【請求項27】 請求項20、21、22、23、24、25、または26に記載のアクティブマトリクス型液晶表示装置を駆動するアクティブマトリクス型液晶表示装置の駆動回路であって、

前記走査ライン(8-1~8-*N*+1)を駆動する走査電極ドライバ(4)と、前記*M*/2または*M*/2+1本のデータライン(6-1~6-*M*/2または6-*M*/2+1)を駆動するデータ電極ドライバ(2)と、

所定のタイミングで、前記第*i*番目の走査ライン(8-*i*)及び第*i*+1番目の走査ライン(8-*i*+1)に選択電圧を印加し、次のタイミングで、前記第*i*番目の走査ライン(8-*i*)に選択電圧を、前記第*i*+1番目の走査ライン(8-*i*+1)に非選択電圧をそれぞれ印加し、更に次のタイミングで、前記第*i*番目の走査ライン(8-*i*)に非選択電圧を印加するという一連の動作を、*i*の昇順に繰り返すよう前記走査電極ドライバ(4)を制御する制御手段(16)とを有することを特徴とするアクティブマトリクス型液晶表示装置の駆動回路。

【請求項28】 前記走査電極ドライバ(4)は、前記制御手段(16)の制御の下、当該走査電極ドライバ

(4)の選択電圧入力切り換え、またはイネーブル制御により、前記偶数番目或いは奇数番目の走査ライン

(8-*i*)を強制的に非選択電圧にするシフトレジスタを有することを特徴とする請求項27に記載のアクティブマトリクス型液晶表示装置の駆動回路。

【請求項29】 画素電極を*M*×2*N*または2*N*+1

(*M*, *N*は任意の正整数)のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、

3*N*または3*N*+2本の走査ライン(8-1~8-3*N*または3*N*+2)と、*M*/2または*M*/2+1本のデータライン(6-1~6-*M*/2または*M*/2+1)とを有し、

走査方向の第*i*番目(*i*=1~2*N*または2*N*+1の奇数)の表示ライン上の偶数番目または奇数番目の各画素電極(1(*i*, *k*+1)または1(*i*, *h*+1)) ; *k*=1~*M*の奇数、*h*=1~*M*の偶数)において、制御端子を第*x*番目の走査ライン(8-*x* ; *x*は3*i*/2以下の最大の整数)に、一方の端子を該画素電極(1(*i*, *k*+1)または1(*i*, *h*+1))に、他方の端子をデータライン(6-*j* ; *j*は*k*/2+1以下の最大の整数、または*j*=*h*/2+1)に接続した第1のTFTゲート(F1)と、

走査方向の第*i*番目の表示ライン上の奇数番目または偶数番目の各画素電極(1(*i*, *k*)または1(*i*, *h*))において、制御端子を第*x*+1番目の走査ライン(8-*x*+1)に、一方の端子を該画素電極(1(*i*, *k*)または1(*i*, *h*))に、他方の端子を前記第1のTFTゲート(F1)の一方の端子に接続した第2のTFTゲート(F2)と、

走査方向の第*i*+1番目の表示ライン上の偶数番目または奇数番目の各画素電極(1(*i*+1, *k*+1)または1(*i*+1, *h*+1))において、制御端子を第*x*+2番目の走査ライン(8-*x*+2)に、一方の端子を該画素電極(1(*i*+1, *k*+1)または1(*i*+1, *h*+1))に、他方の端子をデータライン(6-*j*)に接続した第3のTFTゲート(F3)と、

走査方向の第*i*+1番目の表示ライン上の奇数番目または偶数番目の各画素電極(1(*i*+1, *k*)または1(*i*+1, *h*))において、制御端子を第*x*+1番目の走査ライン(8-*x*+1)に、一方の端子を該画素電極(1(*i*+1, *k*)または1(*i*+1, *h*))に、他方の端子を前記第3のTFTゲート(F3)の一方の端子に接続した第4のTFTゲート(F4)とを有することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項30】 画素電極を*M*×2*N*または2*N*+1(*M*, *N*は任意の正整数)のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、3*N*または3*N*+2本の走査ライン(8-1~8-3*N*または3*N*+2)と、*M*/2または*M*/2+1本のデータライン(6-1~6-*M*/2または*M*/2+1)とを

10

20

30

40

50

有し、

走査方向の第 i 番目 ($i = 1 \sim 2N$ または $2N+1$ の奇数) の表示ライン上の偶数番目または奇数番目の各画素電極 ($1(i, k+1)$ または $1(i, h+1)$; $k = 1 \sim M$ の奇数、 $h = 1 \sim M$ の偶数) において、制御端子を第 x 番目の走査ライン ($8-x$; x は $3i/2$ 以下の最大の整数) に、一方の端子を該画素電極 ($1(i, k+1)$ または $1(i, h+1)$) に、他方の端子をデータライン ($6-j$; j は $k/2+1$ 以下の最大の整数、または $j = h/2+1$) に接続した第1のTFTゲート (F1) と、

走査方向の第 i 番目の表示ライン上の奇数番目または偶数番目の各画素電極 ($1(i, k)$ または $1(i, h)$) において、制御端子を第 $x+1$ 番目の走査ライン ($8-x+1$) に、一方の端子を該画素電極 ($1(i, k)$ または $1(i, h)$) に、他方の端子を前記第1のTFTゲート (F1) の一方の端子に接続した第2のTFTゲート (F2) と、

走査方向の第 $i+1$ 番目の表示ライン上の偶数番目または奇数番目の各画素電極 ($1(i+1, k+1)$ または $1(i+1, h+1)$) において、制御端子を第 $x+1$ 番目の走査ライン ($8-x+1$) に、一方の端子を該画素電極 ($1(i+1, k+1)$ または $1(i+1, h+1)$) に、他方の端子をデータライン ($6-j$) に接続した第3のTFTゲート (F3) と、

走査方向の第 $i+1$ 番目の表示ライン上の奇数番目または偶数番目の各画素電極 ($1(i+1, k)$ または $1(i+1, h)$) において、制御端子を第 $x+2$ 番目の走査ライン ($8-x+2$) に、一方の端子を該画素電極 ($1(i+1, k)$ または $1(i+1, h)$) に、他方の端子を前記第3のTFTゲート (F3) の一方の端子に接続した第4のTFTゲート (F4) とを有することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項31】 画素電極を $M \times 2N$ または $2N+1$ (M, N は任意の正整数) のマトリクス上に配置して成るアクティブマトリクス型液晶表示装置であって、 $3N$ または $3N+2$ 本の走査ライン ($8-1 \sim 8-3N$ または $3N+2$) と、 $M/2$ 本のデータライン ($6-1 \sim 6-M/2$) とを有し、

走査方向の第 i 番目 ($i = 1 \sim 2N$ または $2N+1$ の奇数) の表示ライン上の奇数番目の各画素電極 ($1(i, k)$; $k = 1 \sim M$ の奇数) において、制御端子を第 x 番目の走査ライン ($8-x$; x は $3i/2$ 以下の最大の整数) に、一方の端子を該画素電極 ($1(i, k)$) に、他方の端子をデータライン ($6-j$; j は $k/2+1$ 以下の最大の整数) に接続した第1のTFTゲート (F1) と、

走査方向の第 i 番目の表示ライン上の偶数番目の各画素電極 ($1(i, k+1)$) において、制御端子を第 $x+1$ 番目の走査ライン ($8-x+1$) に、一方の端子を該

画素電極 ($1(i, k+1)$) に、他方の端子を前記奇数番目の画素電極 ($1(i, k)$) に接続した第2のTFTゲート (F2) と、

走査方向の第 $i+1$ 番目の表示ライン上の奇数番目の各画素電極 ($1(i+1, k)$) において、制御端子を第 $x+2$ 番目の走査ライン ($8-x+2$) に、一方の端子を該画素電極 ($1(i+1, k)$) に、他方の端子をデータライン ($6-j$) に接続した第3のTFTゲート (F3) と、

10 走査方向の第 $i+1$ 番目の表示ライン上の偶数番目の各画素電極 ($1(i+1, k+1)$) において、制御端子を第 $x+1$ 番目の走査ライン ($8-x+1$) に、一方の端子を該画素電極 ($1(i+1, k)$) に接続した第4のTFTゲート (F4) とを有することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項32】 画素電極を $M \times 2N$ または $2N+1$ (M, N は任意の正整数) のマトリクス上に配置して成るアクティブマトリクス型液晶表示装置であって、 $3N$ または $3N+2$ 本の走査ライン ($8-1 \sim 8-3N$ または $3N+2$) と、 $M/2$ 本のデータライン ($6-1 \sim 6-M/2$) とを有し、

走査方向の第 i 番目 ($i = 1 \sim 2N$ または $2N+1$ の奇数) の表示ライン上の奇数番目の各画素電極 ($1(i, k)$; $k = 1 \sim M$ の奇数) において、制御端子を第 x 番目の走査ライン ($8-x$; x は $3i/2$ 以下の最大の整数) に一方の端子を該画素電極 ($1(i, k)$) に、他方の端子をデータライン ($6-j$; j は $k/2+1$ 以下の最大の整数) に接続した第1のTFTゲート (F1) と、

30 走査方向の第 i 番目の表示ライン上の偶数番目の各画素電極 ($1(i, k+1)$) において、制御端子を第 $x+1$ 番目の走査ライン ($8-x+1$) に、一方の端子を該画素電極 ($1(i, k+1)$) に、他方の端子を前記奇数番目の画素電極 ($1(i, k)$) に接続した第2のTFTゲート (F2) と、

走査方向の第 $i+1$ 番目の表示ライン上の奇数番目の各画素電極 ($1(i+1, k)$) において、制御端子を第 $x+1$ 番目の走査ライン ($8-x+1$) に、一方の端子を該画素電極 ($1(i+1, k)$) に、他方の端子をデータライン ($6-j$) に接続した第3のTFTゲート

40 (F3) と、
走査方向の第 $i+1$ 番目の表示ライン上の偶数番目の各画素電極 ($1(i+1, k)$) において、制御端子を第 $x+2$ 番目の走査ライン ($8-x+2$) に、一方の端子を該画素電極 ($1(i+1, k)$) に接続した第4のTFTゲート (F4) とを有することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項33】 前記第1、第2、第3及びまたは第4のTFTゲート (F1、F2、F3、及びまたはF4) は、複数個のTFTゲートを並列接続して構成されるこ

とを特徴とする請求項29、30、31、または32に記載のアクティブマトリクス型液晶表示装置。

【請求項34】 前記画素電極(1(i, j); i=1~2Nまたは2N+1, j=1~M)は、赤画素電極(R)、緑画素電極(G)、或いは青画素電極(B)であって、横方向に赤画素電極(R)、緑画素電極(G)、及び青画素電極(B)を順に配列して1カラー画素を構成し、カラー表示することとを特徴とする請求項29、30、31、32、または33に記載のアクティブマトリクス型液晶表示装置。

【請求項35】 請求項29、30、31、32、33、または34に記載のアクティブマトリクス型液晶表示装置を駆動するアクティブマトリクス型液晶表示装置の駆動回路であって、

前記走査ライン(8-1~8-3Nまたは2N+2)を駆動する走査電極ドライバ(4)と、前記データライン(6-1~6-M/2またはM/2+1)を駆動するデータ電極ドライバ(2)と、

前記第x番目(表示ラインを第1番目とし、xは3i/2以下の最大の整数)の走査ライン(8-i)及び第x+1番目の走査ライン(8-x+1)の双方が同時に選択された第i番目の表示ライン上の画素電極(1(i, j); j=1~M)に表示データを印加するよう前記データ電極ドライバ(2)を制御する制御手段(16)とを有することを特徴とするアクティブマトリクス型液晶表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はTFT(薄膜トランジスタ)アレイからなるアクティブマトリクス型液晶表示装置に係り、特に、データ電極側の駆動回路数を減少させることにより低コストを図り、また回路とパネル端子電極の接続が容易で、接続の歩留りを向上させたアクティブマトリクス型液晶表示装置に関する。

【0002】近年のコンピュータの普及に伴って、コンピュータシステムの小型化が進み、その表示装置に対しては省消費電力、薄型、軽量という要求が生じてきており、これらの要求を満たすために、画質の優れたアクティブマトリクス型カラー液晶表示装置が製品化されている。また今後は、高精細のカラー液晶表示装置が要求されることが予想できる。

【0003】

【従来の技術】従来のアクティブマトリクス型液晶表示装置の構成図を図30に示す。従来のアクティブマトリクス型液晶表示装置では、例えば640×400ドットの表示容量を実現するために、ドット数分の画素電極(液晶セル)と、TFTゲートTとで表示パネル101を構成し、走査ライン8の行数分の出力ドライバを備える走査電極ドライバ104と、データライン6の列数分の出力ドライバを備えるデータ電極ドライバ102とを

具備している。

【0004】ある走査ライン8-iに選択電圧を印加することにより、その行のTFTゲートTを導通状態にして、その行の画素電極にデータライン6によりそれぞれのデータ電極の電圧を印加して電圧に応じた表示を実現する。

【0005】この従来のアクティブマトリクス型液晶表示装置で階調表示を実現する場合には、液晶セルに対して階調に対応した電圧レベルを印加するために、データ電極ドライバ102は複数レベルの電圧を出力できる構成である必要がある。このため、2レベルの電圧出力である走査電極ドライバ104に比べてデータ電極ドライバ102は高価となり、表示可能な階調数に応じてコストが増すこととなる。

【0006】また、この従来のアクティブマトリクス型液晶表示装置を、カラー表示で高精細なアクティブマトリクス型液晶表示装置として構成した場合には、表示ラインが、例えばデータ側で1120×3=3360本、走査側で780本と、標準のデータ側:640×3=1920本、走査側:780本に比べて非常に多くなり、駆動回路数の増大に伴う回路コストが高くなること、並びに、回路とパネル電極の接続ピッチが、特にデータ側で標準:0.2mmに比べて高精細:0.1mmと小さくなり、接続の歩留りが低下すること等の問題がある。

【0007】

【発明が解決しようとする課題】上述のように、従来のアクティブマトリクス型液晶表示装置では、(1)階調表示を実現する場合には、液晶セルに対して階調に対応した電圧レベルを印加するために、走査電極ドライバに比べてデータ電極ドライバは高価となり、表示可能な階調数に応じてコストが増す、(2)カラー表示で高精細なアクティブマトリクス型液晶表示装置として構成した場合には、表示ラインが非常に多くなり、駆動回路数の増大に伴う回路コストが高くなり、また、回路とパネル電極の接続ピッチが小さくなり、接続の歩留りが低下する、という問題があった。

【0008】本発明は、上記問題点を解決するもので、

(1)データ電極側または走査電極側の駆動回路数を減少させることにより低コストを図った、(2)駆動回路とパネル電極の接続ピッチを大きくすることにより、回路とパネル端子電極の接続を容易とし、接続の歩留りを向上させた、アクティブマトリクス型液晶表示装置を提供することを目的とする。

【0009】

【課題を解決するための手段】上記課題を解決するために、本発明の第1の特徴のアクティブマトリクス型液晶表示装置は、図1に示す如く、画素電極をM×N(M, Nは任意の正整数)のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、走査方向の1表示ラインに対して2本ずつ割り当てられる2N本の

走査ライン $8-1 \sim 8-2N$ と、 $M/2$ 本のデータライン $6-1 \sim 6-M/2$ と、各表示ラインにおいて、任意のデータラインと一方の走査ラインに接続される第1のTFTゲート $G1$ と、前記データラインと他方の走査ラインに接続される第2のTFTゲート $G2$ とを有して構成する。

【0010】本発明の第2の特徴のアクティブマトリクス型液晶表示装置は、請求項1に記載のアクティブマトリクス型液晶表示装置において、任意の表示ラインに対する2本の走査ライン $8-i$ 及び $8-i+1$ ($i=1 \sim 2N$)は、それぞれ時分割で駆動される。

【0011】本発明の第3の特徴のアクティブマトリクス型液晶表示装置は、請求項1または2に記載のアクティブマトリクス型液晶表示装置において、前記第1のTFTゲート $G1$ は走査方向に対して偶数または奇数番目の画素電極に接続され、前記第2のTFTゲート $G2$ は走査方向に対して奇数または偶数番目の画素電極に接続され、1走査ライン分の表示データは、奇数番目の画素電極に対応した奇数ラインデータと、偶数番目の画素電極に対応した偶数ラインデータとに分割され、任意の表示ラインに対する2本の走査ライン $8-i$ 及び $8-i+1$ は、1水平走査期間内に時分割に駆動され、前記一方の走査ライン $8-i$ の駆動期間中は前記データライン $6-1 \sim 6-M/2$ に奇数ラインデータまたは偶数ラインデータが、前記他方の走査ライン $8-i+1$ の駆動期間中は前記データライン $6-1 \sim 6-M/2$ に偶数ラインデータまたは奇数ラインデータが印加される。

【0012】本発明の第4の特徴のアクティブマトリクス型液晶表示装置は、請求項1または2に記載のアクティブマトリクス型液晶表示装置において、前記第1のTFTゲート $G1$ は走査方向に対して偶数または奇数番目の画素電極に接続され、前記第2のTFTゲート $G2$ は走査方向に対して奇数または偶数番目の画素電極に接続され、1走査ライン分の表示データは、奇数番目の画素電極に対応した奇数ラインデータと、偶数番目の画素電極に対応した偶数ラインデータとに分割され、1垂直走査期間を第1の期間及び第2の期間に分け、前記第1の期間には、前記データライン $6-1 \sim 6-M/2$ に奇数ラインデータまたは偶数ラインデータが印加され、各表示ラインに対して一方の走査ライン $8-i$ のみが順に駆動され、前記第2の期間には、前記データライン $6-1 \sim 6-M/2$ に偶数ラインデータまたは奇数ラインデータが印加され、各表示ラインに対して他方の走査ライン $8-i+1$ のみが順に駆動される。

【0013】本発明の第5の特徴のアクティブマトリクス型液晶表示装置は、請求項1、2、3、または4に記載のアクティブマトリクス型液晶表示装置において、前記画素電極1 (i, j) ($i=1 \sim N, j=1 \sim M$)は、赤画素電極R、緑画素電極G、或いは背画素電極Bであって、横方向に赤画素電極R、緑画素電極G、及び

背画素電極Bを順に配列して1カラー画素を構成し、カラー表示する。

【0014】また、本発明の第1の特徴のアクティブマトリクス型液晶表示装置の駆動回路は、請求項1、2、3、または5に記載のアクティブマトリクス型液晶表示装置を駆動するアクティブマトリクス型液晶表示装置の駆動回路であって、図12に示す如く、1走査ライン分の表示データを、奇数番目の画素電極に対応した奇数ラインデータと、偶数番目の画素電極に対応した偶数ラインデータとに分割して出力するデータ処理回路15と、 $2N$ 本の走査ライン $8-1 \sim 8-2N$ を駆動する走査電極ドライバ4と、 $M/2$ 本のデータライン $6-1 \sim 6-M/2$ を駆動するデータ電極ドライバ2及び3と、任意の表示ラインに対する2本の走査ライン $8-i$ 及び $8-i+1$ ($i=1 \sim 2N$)を1水平走査期間内に時分割に駆動するよう前記走査電極ドライバ4を制御し、前記一方の走査ライン $8-i$ の駆動期間中は前記データライン $6-1 \sim 6-M/2$ に奇数ラインデータまたは偶数ラインデータを、前記他方の走査ライン $8-i+1$ の駆動期間中は前記データライン $6-1 \sim 6-M/2$ に偶数ラインデータまたは奇数ラインデータを印加するよう前記データ電極ドライバ2及び3を制御する制御手段16とを有して構成する。

【0015】本発明の第2の特徴のアクティブマトリクス型液晶表示装置の駆動回路は、請求項1、2、4、または5に記載のアクティブマトリクス型液晶表示装置を駆動するアクティブマトリクス型液晶表示装置の駆動回路であって、図12に示す如く、1走査ライン分の表示データを、奇数番目の画素電極に対応した奇数ラインデータと、偶数番目の画素電極に対応した偶数ラインデータとに分割して出力するデータ処理回路15と、 $2N$ 本の走査ライン $8-1 \sim 8-2N$ を駆動する走査電極ドライバ4と、 $M/2$ 本のデータライン $6-1 \sim 6-M/2$ を駆動するデータ電極ドライバ2及び3と、1垂直走査期間を第1の期間及び第2の期間に分け、前記第1の期間には、前記データライン $6-1 \sim 6-M/2$ に奇数ラインデータまたは偶数ラインデータを印加して、各表示ラインに対して一方の走査ライン $8-i$ ($i=1 \sim N$)のみを順に駆動し、前記第2の期間には、前記データライン $6-1 \sim 6-M/2$ に偶数ラインデータまたは奇数ラインデータを印加して、各表示ラインに対して他方の走査ライン $8-i+1$ のみを順に駆動するよう前記データ電極ドライバ2及び3及び走査電極ドライバ4を制御する制御手段16とを有して構成する。

【0016】また、本発明の第6の特徴のアクティブマトリクス型液晶表示装置は、図2に示す如く、画素電極を $M \times N$ (M, N は任意の正整数)のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、走査方向の1表示ラインに対して第1走査ライン $8-1 \sim 8-N$ 及び第2走査ライン $9-1 \sim 9-N$ の2本

ずつが割り当てられる2N本の走査ラインと、M本のデータライン6-1~6-Mと、各表示ラインにおいて、任意のデータラインと一方の走査ライン8-i ($i=1\sim N$) に接続される第1のTFTゲートT1と、前記第1のTFTゲートT1と他方の走査ライン9-i に接続される第2のTFTゲートT2とを有して構成する。

【0017】本発明の第7の特徴のアクティブマトリクス型液晶表示装置は、請求項8に記載のアクティブマトリクス型液晶表示装置において、前記N本の第1走査ライン8-1~8-N及び第2走査ライン9-1~9-Nは、それぞれルートN本ずつのグループに分けられて、各グループは共通接続される。

【0018】本発明の第8の特徴のアクティブマトリクス型液晶表示装置は、請求項9に記載のアクティブマトリクス型液晶表示装置において、前記第1走査ライン8-1~8-Nのグループの1つと前記第2走査ライン9-1~9-Nのグループの1つが時分割に選択され、前記第1走査ライン8-i 及び第2走査ライン9-i の双方が同時に選択された表示ライン上の画素電極1 (i, j) ($j=1\sim M$) に表示データを書き込み、線順次走査して表示する。

【0019】本発明の第9の特徴のアクティブマトリクス型液晶表示装置は、請求項8、9、または10に記載のアクティブマトリクス型液晶表示装置において、前記画素電極1 (i, j) ($i=1\sim N, j=1\sim M$) は、赤画素電極R、緑画素電極G、或いは青画素電極Bであって、横方向に赤画素電極R、緑画素電極G、及び青画素電極Bを順に配列して1カラー画素を構成し、カラー表示する。

【0020】また、本発明の第3の特徴のアクティブマトリクス型液晶表示装置の駆動回路は、図18に示す如く、請求項8、9、10、または11に記載のアクティブマトリクス型液晶表示装置を駆動するアクティブマトリクス型液晶表示装置の駆動回路であって、前記第1走査ライン8-1~8-N或いは第1走査ラインの各グループを駆動する第1走査電極ドライバ4と、前記第2走査ライン9-1~9-N或いは第2走査ラインの各グループを駆動する第2走査電極ドライバ5と、M本のデータライン6-1~6-Mを駆動するデータ電極ドライバ2及び3と、前記第1走査ラインのグループの1つと前記第2走査ラインのグループの1つが時分割に駆動するよう前記第1走査電極ドライバ4及び第2走査電極ドライバ5を制御し、前記第1走査ライン8-i 及び第2走査ライン9-i の双方が同時に選択された表示ライン上の画素電極1 (i, j) ($j=1\sim M$) に表示データを印加するよう前記データ電極ドライバ2及び3を制御する制御手段16とを有して構成する。

【0021】また、本発明の第10の特徴のアクティブマトリクス型液晶表示装置、及び第4の特徴のアクティブマトリクス型液晶表示装置の駆動回路は、請求項1

0、11、または12に記載のアクティブマトリクス型液晶表示装置及びその駆動回路において、図21に示す如く、前記共通接続される第1走査ライン8-1~8-N及び第2走査ライン9-1~9-Nの各グループの配線は、表示パネル基板上に施される。

【0022】本発明の第11の特徴のアクティブマトリクス型液晶表示装置、及び第5の特徴のアクティブマトリクス型液晶表示装置の駆動回路は、請求項10、11、または12に記載のアクティブマトリクス型液晶表示装置及びその駆動回路において、図22に示す如く、前記共通接続される第1走査ライン8-1~8-N及び第2走査ライン9-1~9-Nの各グループの配線は、駆動回路基板上に施される。

【0023】また、本発明の第12の特徴のアクティブマトリクス型液晶表示装置は、図3に示す如く、画素電極をM×N (M, Nは任意の正整数) のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、N+1本の走査ライン8-1~8-N+1と、M本のデータライン6-1~6-Mとを有し、走査方向の第i番目 ($i=1\sim N$) の表示ライン上の各画素電極1 (i, j) ($j=1\sim M$) において、制御端子を第i番目の走査ライン8-i に、一方の端子をデータライン6-j に接続した第1のTFTゲートQ1と、制御端子を第i+1番目の走査ライン8-i+1に、一方の端子を該画素電極1 (i, j) に、他方の端子を前記第1のTFTゲートQ1の他方の端子に接続した第2のTFTゲートQ2とを有して構成する。

【0024】本発明の第13の特徴のアクティブマトリクス型液晶表示装置は、請求項15に記載のアクティブマトリクス型液晶表示装置において、前記画素電極1 (i, j) ($i=1\sim N, j=1\sim M$) は、赤画素電極R、緑画素電極G、或いは青画素電極Bであって、横方向に赤画素電極R、緑画素電極G、及び青画素電極Bを順に配列して1カラー画素を構成し、カラー表示する。

【0025】また、本発明の第6の特徴のアクティブマトリクス型液晶表示装置の駆動回路は、図23または図25に示す如く、請求項15または16に記載のアクティブマトリクス型液晶表示装置を駆動するアクティブマトリクス型液晶表示装置の駆動回路であって、K ($K<N+1$) 個のドライバ出力を備えて前記走査ライン8-1~8-N+1を駆動する走査電極ドライバ4と、M本のデータライン6-1~6-Mを駆動するデータ電極ドライバ2と、前記第i番目 ($i=1\sim N$) の走査ライン8-i 及び第i+1番目の走査ライン8-i+1の双方により同時に選択された第i番目の表示ライン上の画素電極1 (i, j) ($j=1\sim M$) に表示データを印加するよう前記データ電極ドライバ2を制御する制御手段16とを有して構成する。

【0026】本発明の第7の特徴のアクティブマトリクス型液晶表示装置の駆動回路は、図23に示す如く、請

17

求項 17 に記載のアクティブマトリクス型液晶表示装置の駆動回路において、前記走査電極ドライバ 4 は、 $2L$ ($2L = K < N + 1$) 個のドライバ出力 $O_1, E_1, O_2, E_2, \dots, O_L, E_L$ を備え、前記走査ライン $8-1 \sim 8-N+1$ の奇数番目に対しては、前記ドライバ出力の奇数番目の出力 O_1, O_2, \dots, O_L を順に接続し、前記走査ライン $8-1 \sim 8-N+1$ の偶数番目に対しては、前記ドライバ出力の偶数番目の出力 E_1, E_2, \dots, E_L を 1 周期毎に 2 つずらしながら ($E_1, E_2, \dots, E_L, E_3, \dots, E_L, E_5, \dots$) 接続する。

【0027】本発明の第 8 の特徴のアクティブマトリクス型液晶表示装置の駆動回路は、請求項 17 に記載のアクティブマトリクス型液晶表示装置の駆動回路において、図 25 に示す如く、前記走査電極ドライバ 4 は、 $2L+1$ ($2L+1 = K < N+1$) 個のドライバ出力を備え、前記走査ライン $8-1 \sim 8-N+1$ に対して、第 i 番目 ($i = 1 \sim N$) の走査ライン $8-i$ 及び第 $i+1$ 番目の走査ライン $8-i+1$ に $2L+1$ 個のドライバ出力から異なる 2 出力の組み合わせ ($(2L+1) \times 2L/2$ 個) の内、1 つずつが接続される。

【0028】また、本発明の第 14 の特徴のアクティブマトリクス型液晶表示装置は、図 4 に示す如く、画素電極を $M \times N$ (M, N は任意の正整数) のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、 $N+1$ 本の走査ライン $8-1 \sim 8-N+1$ と、 $M/2$ 本のデータライン $6-1 \sim 6-M/2$ とを有し、走査方向の第 i 番目 ($i = 1 \sim N$) の表示ライン上の奇数番目の各画素電極 $1(i, k)$ ($k = 1 \sim M$ の奇数) において、制御端子を第 i 番目の走査ライン $8-i$ に、一方の端子をデータライン $6-j$ (j は $k/2+1$ 以下の最大の整数) に接続した第 1 の TFT ゲート P_1 と、制御端子を第 $i+1$ 番目の走査ライン $8-i+1$ に、一方の端子を該画素電極 $1(i, k)$ に、他方の端子を前記第 1 の TFT ゲート P_1 の他方の端子に接続した第 2 の TFT ゲート P_2 とを有し、走査方向の第 i 番目の表示ライン上の偶数番目の各画素電極 $1(i, k+1)$ において、制御端子を第 i 番目の走査ライン $8-i$ に、一方の端子を該画素電極 $1(i, k+1)$ に、他方の端子をデータライン $6-j$ に接続した第 3 の TFT ゲート P_3 を有して構成する。

【0029】本発明の第 15 の特徴のアクティブマトリクス型液晶表示装置は、図 4 に示す如く、画素電極を $M \times N$ (M, N は任意の正整数) のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、 $N+1$ 本の走査ライン $8-1 \sim 8-N+1$ と、 $M/2+1$ 本のデータライン $6-1 \sim 6-M/2+1$ とを有し、走査方向の第 i 番目 ($i = 1 \sim N$) の表示ライン上の偶数番目の各画素電極 $1(i, h)$ ($h = 1 \sim M$ の偶数) において、制御端子を第 i 番目の走査ライン $8-i$ に、一方の端子をデータライン $6-j$ ($j = h/2+1$) に

18

接続した第 1 の TFT ゲート P_1 と、制御端子を第 $i+1$ 番目の走査ライン $8-i+1$ に、一方の端子を該画素電極 $1(i, h)$ に、他方の端子を前記第 1 の TFT ゲート P_1 の他方の端子に接続した第 2 の TFT ゲート P_2 とを有し、走査方向の第 i 番目の表示ライン上の奇数番目の各画素電極 $1(i, h+1)$ において、制御端子を第 i 番目の走査ライン $8-i$ に、一方の端子を該画素電極 $1(i, h+1)$ に、他方の端子をデータライン $6-j$ に接続した第 3 の TFT ゲート P_3 を有して構成する。

【0030】本発明の第 16 の特徴のアクティブマトリクス型液晶表示装置は、図 5 (1) に示す如く、画素電極を $M \times N$ (M, N は任意の正整数) のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、 $N+1$ 本の走査ライン $8-1 \sim 8-N+1$ と、 $M/2$ 本のデータライン $6-1 \sim 6-M/2$ とを有し、走査方向の第 i 番目 ($i = 1 \sim N$) の表示ライン上の奇数番目の各画素電極 $1(i, k)$ ($k = 1 \sim M$ の奇数) において、制御端子を第 $i+1$ 番目の走査ライン $8-i+1$ に、一方の端子を該画素電極 $1(i, k)$ に接続した第 2 の TFT ゲート P_2 と、制御端子を第 $i+2$ 番目の走査ライン $8-i+2$ に、一方の端子をデータライン $6-j$ (j は $k/2+1$ 以下の最大の整数) に、他方の端子を前記第 2 の TFT ゲート P_2 の他方の端子に接続した第 1 の TFT ゲート P_1 とを有し、走査方向の第 i 番目の表示ライン上の偶数番目の各画素電極 $1(i, k+1)$ において、制御端子を第 i 番目の走査ライン $8-i$ に、一方の端子を該画素電極 $1(i, k+1)$ に、他方の端子をデータライン $6-j$ に接続した第 3 の TFT ゲート P_3 を有して構成する。

【0031】本発明の第 17 の特徴のアクティブマトリクス型液晶表示装置は、図 5 (1) に示す如く、画素電極を $M \times N$ (M, N は任意の正整数) のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、 $N+1$ 本の走査ライン $8-1 \sim 8-N+1$ と、 $M/2+1$ 本のデータライン $6-1 \sim 6-M/2+1$ とを有し、走査方向の第 i 番目 ($i = 1 \sim N$) の表示ライン上の偶数番目の各画素電極 $1(i, h)$ ($h = 1 \sim M$ の偶数) において、制御端子を第 $i+1$ 番目の走査ライン $8-i+1$ に、一方の端子を該画素電極 $1(i, h)$ に接続した第 2 の TFT ゲート P_2 と、制御端子を第 $i+2$ 番目の走査ライン $8-i+2$ に、一方の端子をデータライン $6-j$ ($j = h/2+1$) に、他方の端子を前記第 2 の TFT ゲート P_2 の他方の端子に接続した第 1 の TFT ゲート P_1 とを有し、走査方向の第 i 番目の表示ライン上の偶数番目の各画素電極 $1(i, h+1)$ において、制御端子を第 i 番目の走査ライン $8-i$ に、一方の端子を該画素電極 $1(i, h+1)$ に、他方の端子をデータライン $6-j$ に接続した第 3 の TFT ゲート P_3 を有して構成する。

【0032】本発明の第18の特徴のアクティブマトリクス型液晶表示装置は、請求項20、21、22、または23に記載のアクティブマトリクス型液晶表示装置において、図5(2)に示す如く、前記第1のTFTトランジスタP1または第2のTFTトランジスタP2は、走査ライン8-i上に構成される。

【0033】本発明の第19の特徴のアクティブマトリクス型液晶表示装置は、請求項20、21、21、23、または24に記載のアクティブマトリクス型液晶表示装置において、図5(3)に示す如く、前記第3のTFTトランジスタP3と該画素電極1(i, k+1)または1(i, h+1)の間に、制御端子を第i番目の走査ライン8-iに接続した第4のTFTゲートP4を有して構成する。

【0034】本発明の第20の特徴のアクティブマトリクス型液晶表示装置は、請求項20、21、22、23、24、または25に記載のアクティブマトリクス型液晶表示装置において、前記画素電極1(i, j)(i=1~N, j=1~M)は、赤画素電極R、緑画素電極G、或いは青画素電極Bであって、横方向に赤画素電極R、緑画素電極G、及び青画素電極Bを順に配列して1カラー画素を構成し、カラー表示する。

【0035】また、本発明の第9の特徴のアクティブマトリクス型液晶表示装置の駆動回路は、図27に示す如く、請求項20、21、22、23、24、25、または26に記載のアクティブマトリクス型液晶表示装置を駆動するアクティブマトリクス型液晶表示装置の駆動回路であって、前記走査ライン8-1~8-N+1を駆動する走査電極ドライバ4及び5と、前記M/2またはM/2+1本のデータライン6-1~6-M/2または6-M/2+1を駆動するデータ電極ドライバ2と、所定のタイミングで、前記第i番目の走査ライン8-i及び第i+1番目の走査ライン8-i+1に選択電圧を印加し、次のタイミングで、前記第i番目の走査ライン8-iに選択電圧を、前記第i+1番目の走査ライン8-i+1に非選択電圧をそれぞれ印加し、更に次のタイミングで、前記第i番目の走査ライン8-iに非選択電圧を印加するという一連の動作を、iの昇順に繰り返すよう前記走査電極ドライバ4及び5を制御する制御手段16とを有して構成する。

【0036】本発明の第10の特徴のアクティブマトリクス型液晶表示装置の駆動回路は、請求項27に記載のアクティブマトリクス型液晶表示装置の駆動回路において、図27に示す如く、前記走査電極ドライバ4及び5は、前記制御手段16の制御の下、当該走査電極ドライバ4及び5の選択電圧入力の切り換え、またはイネーブル制御により、前記偶数番目或いは奇数番目の走査ライン8-iを強制的に非選択電圧にするシフトレジスタを有して構成する。

【0037】また、本発明の第21の特徴のアクティブ

マトリクス型液晶表示装置は、図7(1)に示す如く、画素電極をM×2Nまたは2N+1(M, Nは任意の正整数)のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、3Nまたは3N+2本の走査ライン8-1~8-3Nまたは3N+2と、M/2またはM/2+1本のデータライン6-1~6-M/2またはM/2+1とを有し、走査方向の第i番目(i=1~2Nまたは2N+1の奇数)の表示ライン上の偶数番目または奇数番目の各画素電極1(i, k+1)または1(i, h+1)(k=1~Mの奇数、h=1~Mの偶数)において、制御端子を第x番目の走査ライン8-x(xは3i/2以下の最大の整数)に、一方の端子を該画素電極1(i, k+1)または1(i, h+1)に、他方の端子をデータライン6-j(jはk/2+1以下の最大の整数、またはj=h/2+1)に接続した第1のTFTゲートF1と、走査方向の第i番目の表示ライン上の奇数番目または偶数番目の各画素電極1

(i, k)または1(i, h)において、制御端子を第x+1番目の走査ライン8-x+1に、一方の端子を該画素電極1(i, k)または1(i, h)に、他方の端子を前記第1のTFTゲートF1の一方の端子に接続した第2のTFTゲートF2と、走査方向の第i+1番目の表示ライン上の偶数番目または奇数番目の各画素電極1(i+1, k+1)または1(i+1, h+1)において、制御端子を第x+2番目の走査ライン8-x+2に、一方の端子を該画素電極1(i+1, k+1)または1(i+1, h+1)に、他方の端子をデータライン6-jに接続した第3のTFTゲートF3と、走査方向の第i+1番目の表示ライン上の奇数番目または偶数番目の各画素電極1(i+1, k)または1(i+1, h)において、制御端子を第x+1番目の走査ライン8-x+1に、一方の端子を該画素電極1(i+1, k)または1(i+1, h)に、他方の端子を前記第3のTFTゲートF3の一方の端子に接続した第4のTFTゲートF4とを有して構成する。

【0038】また、本発明の第22の特徴のアクティブマトリクス型液晶表示装置は、図8(1)に示す如く、画素電極をM×2Nまたは2N+1(M, Nは任意の正整数)のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、3Nまたは3N+2本の走査ライン8-1~8-3Nまたは3N+2と、M/2またはM/2+1本のデータライン6-1~6-M/2またはM/2+1とを有し、走査方向の第i番目(i=1~2Nまたは2N+1の奇数)の表示ライン上の偶数番目または奇数番目の各画素電極1(i, k+1)または1(i, h+1)(k=1~Mの奇数、h=1~Mの偶数)において、制御端子を第x番目の走査ライン8-x(xは3i/2以下の最大の整数)に、一方の端子を該画素電極1(i, k+1)または1(i, h+1)に、他方の端子をデータライン6-j(jはk/2+1

以下の最大の整数、または $j = h/2 + 1$) に接続した第 1 の TFT ゲート F 1 と、走査方向の第 i 番目の表示ライン上の奇数番目または偶数番目の各画素電極 1

(i, k) または 1 (i, h) において、制御端子を第 $x + 1$ 番目の走査ライン $8 - x + 1$ に、一方の端子を該画素電極 1 (i, k) または 1 (i, h) に、他方の端子を前記第 1 の TFT ゲート F 1 の一方の端子に接続した第 2 の TFT ゲート F 2 と、走査方向の第 $i + 1$ 番目の表示ライン上の偶数番目または奇数番目の各画素電極 1 ($i + 1, k + 1$) または 1 ($i + 1, h + 1$) において、制御端子を第 $x + 1$ 番目の走査ライン $8 - x + 1$ に、一方の端子を該画素電極 1 ($i + 1, k + 1$) または 1 ($i + 1, h + 1$) に、他方の端子をデータライン $6 - j$ に接続した第 3 の TFT ゲート F 3 と、走査方向の第 $i + 1$ 番目の表示ライン上の奇数番目または偶数番目の各画素電極 1 ($i + 1, k$) または 1 ($i + 1, h$) に、他方の端子を前記第 3 の TFT ゲート F 3 の一方の端子に接続した第 4 の TFT ゲート F 4 とを有して構成する。

【 0 0 3 9 】本発明の第 2 3 の特徴のアクティブマトリクス型液晶表示装置は、図 9 (1) に示す如く、画素電極を $M \times 2N$ または $2N + 1$ (M, N は任意の正整数) のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、 $3N$ または $3N + 2$ 本の走査ライン $8 - 1 \sim 8 - 3N + 3N + 2$ と、 $M/2$ 本のデータライン $6 - 1 \sim 6 - M/2$ とを有し、走査方向の第 i 番目 ($i = 1 \sim 2N$ または $2N + 1$ の奇数) の表示ライン上の奇数番目の各画素電極 1 (i, k) ($k = 1 \sim M$ の偶数) において、制御端子を第 x 番目の走査ライン $8 - x$ に、一方の端子を該画素電極 1 (i, k) に、他方の端子をデータライン $6 - j$ (j は $k/2 + 1$ 以下の最大の整数) に接続した第 1 の TFT ゲート F 1 と、走査方向の第 i 番目の表示ライン上の偶数番目の各画素電極 1 ($i, k + 1$) において、制御端子を第 $x + 1$ 番目の走査ライン $8 - x + 1$ に、一方の端子を該画素電極 1

($i, k + 1$) に、他方の端子を前記奇数番目の画素電極 1 (i, k) に接続した第 2 の TFT ゲート F 2 と、走査方向の第 $i + 1$ 番目の表示ライン上の奇数番目の各画素電極 1 ($i + 1, k$) において、制御端子を第 $x + 2$ 番目の走査ライン $8 - x + 2$ に、一方の端子を該画素電極 1 ($i + 1, k$) に、他方の端子をデータライン $6 - j$ に接続した第 3 の TFT ゲート F 3 と、走査方向の第 $i + 1$ 番目の表示ライン上の偶数番目の各画素電極 1 ($i + 1, k + 1$) において、制御端子を第 $x + 1$ 番目の走査ライン $8 - x + 1$ に、一方の端子を該画素電極 1 ($i + 1, k + 1$) に、他方の端子を前記奇数番目の画素電極 1 ($i + 1, k$) に接続した第 4 の TFT ゲート F 4 とを有して構成する。

【 0 0 4 0 】本発明の第 2 4 の特徴のアクティブマトリクス型液晶表示装置は、図 1 0 (1) に示す如く、画素

電極を $M \times 2N$ または $2N + 1$ (M, N は任意の正整数) のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、 $3N$ または $3N + 2$ 本の走査ライン $8 - 1 \sim 8 - 3N$ または $3N + 2$ と、 $M/2$ 本のデータライン $6 - 1 \sim 6 - M/2$ とを有し、走査方向の第 i 番目 ($i = 1 \sim 2N$ または $2N + 1$ の奇数) の表示ライン上の奇数番目の各画素電極 1 (i, k) ($k = 1 \sim M$ の奇数) において、制御端子を第 x 番目の走査ライン $8 - x$ (x とは $3i/2$ 以下の最大の整数) に、一方の端子を該画素電極 1 (i, k) に、他方の端子をデータライン $6 - j$ (j は $k/2 + 1$ 以下の最大の整数) に接続した第 1 の TFT ゲート F 1 と、走査方向の第 i 番目の表示ライン上の偶数番目の各画素電極 1 ($i, k + 1$) において、制御端子を第 $x + 1$ 番目の走査ライン $8 - x + 1$ に、一方の端子を該画素電極 1 ($i, k + 1$) に、他方の端子を前記奇数番目の画素電極 1 (i, k) に接続した第 2 の TFT ゲート F 2 と、走査方向の第 i 番目の表示ライン上の奇数番目の各画素電極 1 ($i + 1, k$) において、制御端子を第 $x + 1$ 番目の走査ライン $8 - x + 1$ に、一方の端子を該画素電極 1 ($i + 1, k$) に、他方の端子をデータライン $6 - j$ に接続した第 3 の TFT ゲート F 3 と、走査方向の第 $i + 1$ 番目の表示ライン上の偶数番目の各画素電極 1 ($i + 1, k + 1$) において、制御端子を第 $x + 2$ 番目の走査ライン $8 - x + 2$ に、一方の端子を該画素電極 1 ($i + 1, k + 1$) に、他方の端子を前記奇数番目の画素電極 1 ($i + 1, k$) に接続した第 4 の TFT ゲート F 4 とを有して構成する。

【 0 0 4 1 】本発明の第 2 5 の特徴のアクティブマトリクス型液晶表示装置は、請求項 2 9、3 0、3 1、または 3 2 に記載のアクティブマトリクス型液晶表示装置において、図 1 1 (1) に示す如く、前記第 1、第 2、第 3 及びまたは第 4 の TFT ゲート F 1、F 2、F 3、及びまたは F 4 は、複数の TFT ゲートを並列接続して構成される。

【 0 0 4 2 】本発明の第 2 6 の特徴のアクティブマトリクス型液晶表示装置は、請求項 2 9、3 0、3 1、3 2、または 3 3 に記載のアクティブマトリクス型液晶表示装置において、前記画素電極 1 (i, j) ($i = 1 \sim 2N$ または $2N + 1, j = 1 \sim M$) は、赤画素電極 R、緑画素電極 G、或いは青画素電極 B であって、横方向に赤画素電極 R、緑画素電極 G、及び青画素電極 B を順に配列して 1 カラー画素を構成し、カラー表示する。

【 0 0 4 3 】更に、本発明の第 1 1 の特徴のアクティブマトリクス型液晶表示装置の駆動回路は、図 2 9 に示す如く、請求項 2 9、3 0、3 1、3 2、3 3、または 3 4 に記載のアクティブマトリクス型液晶表示装置を駆動するアクティブマトリクス型液晶表示装置の駆動回路であって、前記走査ライン $8 - 1 \sim 8 - 3N$ または $3N + 2$ を駆動する走査電極ドライバ 4 と、前記データライン

6-1~6-M/2またはM/2+1を駆動するデータ電極ドライバ2と、前記第x番目(表示ラインを第i番目とすれば;xは2i/2以下の最大の整数)の走査ライン8-x及び第x+1番目の走査ライン8-x+1の双方により同時に選択された第i番目の表示ライン上の画素電極1(i,j)(j=1~M)に表示データを印加するよう前記データ電極ドライバ2を制御する制御手段16とを有して構成する。

【0044】

【作用】第1、第2、第3、第4、及び第5の特徴のアクティブマトリクス型液晶表示装置では、図1に示す如く、アクティブマトリクス回路構成において、走査方向の1表示ラインを2本の走査ラインで構成すると共に、同一のデータラインに接続された2個のTFTゲートG1及びG2を2本の走査ラインに独立に接続して、2個の表示画素を構成し、カラー表示を行なう場合には、横方向に赤画素電極R、緑画素電極G、及び青画素電極Bを順に配列して1カラー画素を構成し、2本の走査ライン8-i及び8-i+1(i=1~2N)を時分割で駆動して表示を行なう。

【0045】時分割な走査ラインの駆動表示方法としては、1走査ライン分の表示データを、奇数番目の画素電極に対応した奇数ラインデータと偶数番目の画素電極に対応した偶数ラインデータとに分割し、任意の表示ラインに対する2本の走査ライン8-i及び8-i+1を、1水平走査期間内に時分割に駆動し、一方の走査ライン8-iの駆動期間中はデータライン6-1~6-M/2に奇数ラインデータまたは偶数ラインデータを、他方の走査ライン8-i+1の駆動期間中はデータライン6-1~6-M/2に偶数ラインデータまたは奇数ラインデータを印加する方法と、1垂直走査期間を第1の期間及び第2の期間に分け、第1の期間には、データライン6-1~6-M/2に奇数ラインデータまたは偶数ラインデータを印加し、各表示ラインに対して一方の走査ライン8-iのみを順に駆動し、第2の期間には、データライン6-1~6-M/2に偶数ラインデータまたは奇数ラインデータを印加し、各表示ラインに対して他方の走査ライン8-i+1のみを順に駆動する方法とがある。

【0046】これにより、駆動回路数が走査電極側で2倍になるものの、データ電極側で2分の1になり、全体として約4分の3になる。回路コストは現状の技術ではデータ電極側:走査電極側=3:1であるため、全体としてコストの低減率は約5分の3となる。また、接続ピッチは、走査電極側で2分の1になるものの、データ電極側で2倍になる。従って、駆動回路数を低減でき、回路とパネル端子電極の接続が容易になり、表示装置の低コスト化が実現できる。

【0047】また、本発明の第1の特徴のアクティブマトリクス型液晶表示装置の駆動回路では、図12に示す如く、データ処理回路15で、1走査ライン分の表示デ

ータを奇数番目の画素電極に対応した奇数ラインデータと、偶数番目の画素電極に対応した偶数ラインデータとに分割して出力し、制御手段16により、任意の表示ラインに対する2本の走査ライン8-i及び8-i+1

(i=1~2N)を1水平走査期間内に時分割に駆動するよう走査電極ドライバ4を制御し、一方の走査ライン8-iの駆動期間中はデータライン6-1~6-M/2に奇数ラインデータまたは偶数ラインデータを、他方の走査ライン8-i+1の駆動期間中はデータライン6-1~6-M/2に偶数ラインデータまたは奇数ラインデータを印加するようデータ電極ドライバ2及び3を制御する。

【0048】本発明の第2の特徴のアクティブマトリクス型液晶表示装置の駆動回路では、図12に示す如く、データ処理回路15で、1走査ライン分の表示データを奇数番目の画素電極に対応した奇数ラインデータと、偶数番目の画素電極に対応した偶数ラインデータとに分割して出力し、制御手段16により、1垂直走査期間を第1の期間及び第2の期間に分け、第1の期間には、データライン6-1~6-M/2に奇数ラインデータまたは偶数ラインデータを印加して、各表示ラインに対して一方の走査ライン8-i(i=1~2N)のみを順に駆動し、第2の期間には、データライン6-1~6-M/2に偶数ラインデータまたは奇数ラインデータを印加して、各表示ラインに対して他方の走査ライン8-i+1のみを順に駆動するようデータ電極ドライバ2及び3及び走査電極ドライバ4を制御する。

【0049】また、本発明の第6、第7、第8、及び第9の特徴のアクティブマトリクス型液晶表示装置では、図2に示す如く、画素電極をM×N(M,Nは任意の正整数)のマトリクス状に配置して、2N本の走査ラインの内、走査方向の1表示ラインに対して第1走査ライン8-1~8-N及び第2走査ライン9-1~9-Nの2本ずつ割り当て、各表示ラインにおいて、M本のデータライン6-1~6-Mの内、任意のデータライン6-jに第1のTFTゲートT1及び第2のTFTゲートT2を直列に接続すると共に、各TFTゲートT1及びT2がそれぞれ第1走査ライン8-1~8-N及び第2走査ライン9-1~9-Nに独立に接続して、1個の表示画素を構成し、カラー表示を行なう場合には、画素電極1(i,j)(i=1~N,j=1~M)として、横方向に赤画素電極R、緑画素電極G、及び青画素電極Bを順に配列して1カラー画素を構成する。

【0050】また、第1走査ライン8-1~8-16及び第2走査ライン9-1~9-16を、それぞれルートN本=L本ずつのグループ(10-L~10-4及び11-1~11-L)に分けて、各グループは共通接続する。このアクティブマトリクス型液晶表示装置においては、第1走査ライン8-1~8-Nのグループの1つと第2走査ライン9-1~9-Nのグループの1つが時分

割に選択され、第1走査ライン8-i及び第2走査ライン9-iの双方が同時に選択された表示ライン上の画素電極1(i, j) (i=1~N, j=1~M)に表示データを書き込み、線順次走査して表示する。

【0051】従って、ルートN個の出力ドライバを備える2個の走査電極ドライバ4及び5の構成により、出力ドライバ数を大幅に低減でき、アクティブマトリクス型液晶表示装置の低コスト化が実現できる。

【0052】また、本発明の第3の特徴のアクティブマトリクス型液晶表示装置の駆動回路では、図18に示す如く、制御手段16により、第1走査ラインのグループの1つと第2走査ラインのグループの1つが時分割に駆動するよう第1走査電極ドライバ4及び第2走査電極ドライバ5を制御し、第1走査ライン8-i及び第2走査ライン9-iの双方が同時に選択された表示ライン上の画素電極1(i, j) (j=1~M)に表示データを印加するようデータ電極ドライバ2及び3を制御する。

【0053】本発明の第10の特徴のアクティブマトリクス型液晶表示装置、及び第4の特徴のアクティブマトリクス型液晶表示装置の駆動回路では、図21に示す如く、共通接続される第1走査ライン8-1~8-N及び第2走査ライン9-1~9-Nの各グループの配線を、表示パネル基板上に設ける。これにより、表示パネル基板と駆動回路の接続点数を大幅に減らすことができる。

【0054】本発明の第11の特徴のアクティブマトリクス型液晶表示装置、及び第5の特徴のアクティブマトリクス型液晶表示装置の駆動回路では、図22に示す如く、共通接続される第1走査ライン8-1~8-N及び第2走査ライン9-1~9-Nの各グループの配線を、駆動回路基板上に設ける。これにより、表示パネル基板内部での配線クロスオーバーが無くなり、表示パネルの歩留りが向上する。

【0055】また、本発明の第12及び第13の特徴のアクティブマトリクス型液晶表示装置では、図3に示す如く、画素電極をM×N (M, Nは任意の正整数) のマトリクス状に配置して、N+1本の走査ライン8-1~8-N+1の内、走査方向の1表示ラインに対して2本ずつ割り当て、各表示ラインにおいて、M本のデータライン6-1~6-Mの内、任意のデータライン6-jに第1のTFTゲートQ1及び第2のTFTゲートQ2を直列に接続すると共に、各TFTゲートQ1及びQ2をそれぞれ1表示ラインに対して割り当てられた2本の走査ライン8-i及び走査ライン8-i+1に独立に接続して、1個の表示画素を構成し、カラー表示を行なう場合には、画素電極1(i, j) (i=1~N, j=1~M) として、横方向に赤画素電極R、緑画素電極G、及び青画素電極Bを順に配列して1カラー画素を構成する。

【0056】本発明の第6及び第7の特徴のアクティブマトリクス型液晶表示装置の駆動回路では、図23に示

す如く、走査電極ドライバ4は、2L (2L=K<N+1) 個のドライバ出力O1, E1, O2, E2, ..., OL, ELを備え、走査ライン8-1~8-N+1の奇数番目に対しては、ドライバ出力の奇数番目の出力O1, O2, ..., OLを順に接続し、走査ライン8-1~8-N+1の偶数番目に対しては、ドライバ出力の偶数番目の出力E1, E2, ..., ELを1周期毎に2つずらしながら (E1, E2, ..., EL, E3, ..., EL, E5, ...) 接続し、制御手段16により、第i番目 (i=1~N) の走査ライン8-i及び第i+1番目の走査ライン8-i+1の双方が同時に選択された第i番目の表示ライン上の画素電極1(i, j) (j=1~M)に表示データを印加するようデータ電極ドライバ2を制御する。

【0057】従って、N本の表示ラインに対して2×(ルートN) 個のドライバ出力を備える走査電極ドライバ4を構成すればよく、ドライバ出力数を大幅に低減でき、アクティブマトリクス型液晶表示装置の低コスト化が実現できる。

【0058】本発明の第6及び第8の特徴のアクティブマトリクス型液晶表示装置の駆動回路では、図25に示す如く、走査電極ドライバ4は、2L+1 (2L+1=K<N+1) 個のドライバ出力を備え、走査ライン8-1~8-N+1に対して、第i番目 (i=1~N) の走査ライン8-i及び第i+1番目の走査ライン8-i+1に2L+1個のドライバ出力から異なる2出力の組み合わせ ((2L+1)×2L/2個) の内、1つずつを接続し、制御手段16により、第i番目 (i=1~N) の走査ライン8-i及び第i+1番目の走査ライン8-i+1の双方が同時に選択された第i番目の表示ライン上の画素電極1(i, j) (j=1~M)に表示データを印加するようデータ電極ドライバ2を制御する。

【0059】従って、2L+1個のドライバ出力を備える走査電極ドライバ4により、(2L+1)×L本の表示ラインを駆動することができ、ドライバ出力数を大幅に低減できるので、アクティブマトリクス型液晶表示装置の低コスト化が実現できる。

【0060】また、本発明の第14及び第15の特徴のアクティブマトリクス型液晶表示装置では、図4に示す如く、画素電極をM×N (M, Nは任意の正整数) のマトリクス状に配置して、N+1本の走査ライン8-1~8-N+1の内、走査方向の1表示ラインに対して走査ラインを2本ずつ割り当て、M/2本のデータライン6-1~6-M/2の内、任意のデータライン6-jに接続される第1のTFTゲートP1及び第2のTFTゲートP2を、1表示ラインに対して割り当てられた2本の走査ライン8-i及び8-i+1 (i=1~N) に独立に接続し、またデータライン6-jに接続される第3のTFTゲートP3を、走査ライン8-iに独立に接続して、2個の表示画素を構成する。

【0061】本発明の第16及び第17の特徴のアクテ

イブマトリクス型液晶表示装置では、図5(1)に示す如く、第14及び第15の特徴のアクティブマトリクス型液晶表示装置において、第2のTFTゲートP2を第i番目の走査ライン8-iに、第1のTFTゲートP1を第i+1番目の走査ライン8-i+1にそれぞれ接続する。

【0062】本発明の第18の特徴のアクティブマトリクス型液晶表示装置では、図5(2)に示す如く、第14、第15、第16、または第17の特徴のアクティブマトリクス型液晶表示装置において、第1のTFTトランジスタP1または第2のTFTトランジスタP2を、走査ライン8-i上に構成する。この構成でもデータライン6-1~6-M/2に印加する電圧のタイミングが多少異なるのみで、同様の動作が行なえ、更にTFTゲートを構成する面積を小さくすることができ、画素電極を大きくとることができる。

【0063】本発明の第19の特徴のアクティブマトリクス型液晶表示装置では、図5(3)に示す如く、第14、第15、第16、第17、または第18の特徴のアクティブマトリクス型液晶表示装置において、第3のTFTトランジスタP3と画素電極1(i, k+1)または1(i, h+1)の間に、制御端子を第i番目の走査ライン8-iに接続した第4のTFTゲートP4を構成する。これにより、全ての画素電極に対して2つのTFTゲートが接続されることになり、書き込みの特性を均一にすることができる。

【0064】第14、第15、第16、第17、第18、または第19の特徴のアクティブマトリクス型液晶表示装置において、カラー表示を行なう場合には、画素電極1(i, j)(i=1~N, j=1~M)として、横方向に赤画素電極R、緑画素電極G、及び青画素電極Bを順に配列して1カラー画素を構成する。

【0065】また、本発明の第14、第15、第16、第17、第18、第19、または第20の特徴のアクティブマトリクス型液晶表示装置、並びに第9及び第10の特徴のアクティブマトリクス型液晶表示装置の駆動回路では、図27に示す如く、制御手段16により、所定のタイミングで、第i番目の走査ライン8-i及び第i+1番目の走査ライン8-i+1に選択電圧を印加し、次のタイミングで、第i番目の走査ライン8-iに選択電圧を、第i+1番目の走査ライン8-i+1に非選択電圧をそれぞれ印加し、更に次のタイミングで、第i番目の走査ライン8-iに非選択電圧を印加するという一連の動作を、iの昇順に繰り返すよう走査電極ドライバ4及び5を制御する。尚、走査電極ドライバ4及び5はシフトレジスタによって構成し、制御手段16の制御の下、走査電極ドライバ4及び5の選択電圧入力の切り換え、またはイネーブル制御により、偶数番目或いは奇数番目の走査ライン8-iを強制的に非選択電圧にする。

【0066】つまり、図6に示す如く、第i番目の走査

ライン8-i及び第i+1番目の走査ライン8-i+1に選択電圧を印加することにより、第1~第3のTFTゲートP1~P3は全て導通状態となり、この時データライン6-1~6-M/2には、奇数番目の画素電極に対応した奇数ラインデータが印加される。次に、第i番目の走査ライン8-iに選択電圧を、第i+1番目の走査ライン8-i+1に非選択電圧をそれぞれ印加することにより、第2のTFTゲートP2は非導通状態となり、これに接続された画素電極の電圧は液晶セルの容量によって保持される。この時、第3のTFTゲートP3は導通状態を保っており、ここでデータライン6-1~6-M/2には、偶数番目の画素電極に対応した偶数ラインデータが印加されているので、この電圧が新たに画素電極に印加される。次に、第i番目の走査ライン8-iに非選択電圧を印加することにより、第1及び第2のTFTゲートP1及びP3は非導通状態となり、第3のTFTゲートに接続された画素電極の電圧はその画素の液晶セルの容量によりやはり保持され、次の書き込みまで液晶セルの印加電圧が保たれる。

【0067】以上のように、表示ライン上の2個の画素電極がTFTゲートP1~P3またはP1~P4を介して1本のデータライン6-jに接続されており、データラインを従来の半分とし、データ電極ドライバ2のドライバ出力数も半分にすることができ、回路コストを低減することができる。

【0068】また、本発明の第21の特徴のアクティブマトリクス型液晶表示装置では、図7(1)に示す如く、画素電極をM×2Nまたは2N+1(M, Nは任意の正整数)のマトリクス状に配置して、3Nまたは3N+2本の走査ライン8-1~8-3Nまたは3N+2の内、走査方向の第i番目(i=1~2Nまたは2N+1の奇数)の表示ラインに対して走査ライン8-x及び8-x+1(xは3i/2以下の最大の整数)を割り当て、M/2本のデータライン6-1~6-M/2の内、任意のデータライン6-jに接続される第1のTFTゲートF1及び第2のTFTゲートF2を、それぞれ走査ライン8-x及び8-x+1に独立に接続し、また、走査方向の第i+1番目の表示ラインに対して走査ライン8-x+1及び8-x+2を割り当て、任意のデータライン6-jに接続される第3のTFTゲートF3及び第4のTFTゲートF4を、それぞれ走査ライン8-x+2及び8-x+1に独立に接続して、4個の表示画素を構成する。

【0069】図7(2)に示す如く、先ず、走査ライン8-x及び8-x+1を選択電圧とすると共に、データライン6-1~6-M/2に第i番目の表示ラインの奇数ラインデータを印加し、第i番目の表示ラインの奇数番目の画素電極1(i, k)に映像信号が印加される。次に、走査ライン8-x+1及び8-x+2を選択電圧とすると共に、データライン6-1~6-M/2に第i

+1 番目の表示ラインの奇数ラインデータを印加し、第 $i+1$ 番目の表示ラインの奇数番目の画素電極 1 ($i+1, k$) に映像信号が印加される。次に、走査ライン $8-x+2$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 $i+1$ 番目の表示ラインの偶数ラインデータを印加し、第 $i+1$ 番目の表示ラインの偶数番目の画素電極 1 ($i+1, k+1$) に映像信号が印加される。更に、走査ライン $8-i$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 i 番目の表示ラインの偶数ラインデータを印加し、第 i 番目の表示ラインの偶数番目の画素電極 1 ($i, k+1$) に映像信号が印加される。

【0070】従って、表示ライン上の 4 個の画素電極が TFT ゲート F1~F4 を介して 1 本のデータライン $6-j$ に接続されており、データラインを従来の半分とし、データ電極ドライバ 2 のドライバ出力数も半分にすることができ、回路コストを低減することができる。

【0071】本発明の第 2 2 の特徴のアクティブマトリクス型液晶表示装置では、図 8 (1) に示す如く、画素電極を $M \times 2N$ または $2N+1$ (M, N は任意の正整数) のマトリクス状に配置して、 $3N$ または $3N+2$ の走査ライン $8-1 \sim 8-3N$ または $3N+2$ の内、走査方向の第 i 番目 ($i=1 \sim 2N$ または $2N+1$ の奇数) の表示ラインに対して走査ライン $8-x$ 及び $8-x+1$ (x は $3i/2$ 以下の最大の整数) を割り当て、 $M/2$ 本のデータライン $6-1 \sim 6-M/2$ の内、任意のデータライン $6-j$ に接続される第 1 の TFT ゲート F1 及び第 2 の TFT ゲート F2 を、それぞれ走査ライン $8-x$ 及び $8-x+1$ に独立に接続して、また、走査方向の第 $i+1$ 番目の表示ラインに対して走査ライン $8-x+1$ 及び $8-x+2$ を割り当て、任意のデータライン $6-j$ に接続される第 3 の TFT ゲート F3 及び第 4 の TFT ゲート F4 を、それぞれ走査ライン $8-x+1$ 及び $8-x+2$ に独立に接続し、4 個の表示画素を構成する。

【0072】図 8 (2) に示す如く、先ず、走査ライン $8-x$ 及び $8-x+1$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 i 番目の表示ラインの奇数ラインデータを印加し、第 i 番目の表示ラインの奇数番目の画素電極 1 (i, k) に映像信号が印加される。次に、走査ライン $8-x+1$ 及び $8-x+2$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 $i+1$ 番目の表示ラインの奇数ラインデータを印加し、第 $i+1$ 番目の表示ラインの奇数番目の画素電極 1 ($i+1, k$) に映像信号が印加される。次に、走査ライン $8-x$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 i 番目の表示ラインの偶数ラインデータを印加し、第 i 番目の表示ラインの偶数番目の画素電極 1 ($i, k+1$) に映像信号が印加される。更に、走査ライン $8-x+1$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 $i+1$ 番目の表示ラインの偶数

ラインデータを印加し、第 $i+1$ 番目の表示ラインの偶数番目の画素電極 1 ($i+1, k+1$) に映像信号が印加される。

【0073】本発明の第 2 3 の特徴のアクティブマトリクス型液晶表示装置では、図 9 (1) に示す如く、画素電極を $M \times 2N$ または $2N+1$ (M, N は任意の正整数) のマトリクス状に配置して、 $3N+3N+2$ 本の走査ライン $8-1 \sim 8-3N+3N+2$ の内、走査方向の第 i 番目 ($i=1 \sim 2N$ または $2N+1$ の奇数) の表示ラインに対して走査ライン $8-x$ 及び $8-x+1$ (x は $3i/2$ 以下の最大の整数) を割り当て、 $M/2$ 本のデータライン $6-1 \sim 6-M/2$ の内、任意のデータライン $6-j$ 及び走査ライン $8-x$ に第 1 の TFT ゲート F1 を、奇数番目の画素電極 1 (i, k) と偶数番目の画素電極 1 ($i, k+1$) 間で走査ライン $8-x+1$ に第 2 の TFT ゲート F2 を、それぞれ独立に接続し、また、走査方向の第 $i+1$ 番目の表示ラインに対して走査ライン $8-x+1$ 及び $8-x+2$ を割り当て、任意のデータライン $6-j$ 及び走査ライン $8-x+2$ に第 3 の TFT ゲート F3 を、奇数番目の画素電極 1 ($i+1, k$) と偶数番目の画素電極 1 ($i+1, k+1$) 間で走査ライン $8-x+1$ に第 4 の TFT ゲート F4 を、それぞれ独立に接続して、4 個の表示画素を構成する。

【0074】図 9 (2) に示す如く、先ず、走査ライン $8-x$ 及び $8-x+1$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 i 番目の表示ラインの偶数ラインデータを印加し、第 i 番目の表示ラインの偶数番目の画素電極 1 ($i, k+1$) に映像信号が印加される。次に、走査ライン $8-x+1$ 及び $8-x+2$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 $i+1$ 番目の表示ラインの偶数ラインデータを印加し、第 $i+1$ 番目の表示ラインの偶数番目の画素電極 1 ($i+1, k+1$) に映像信号が印加される。次に、走査ライン $8-x$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 i 番目の表示ラインの奇数ラインデータを印加し、第 i 番目の表示ラインの奇数番目の画素電極 1 (i, k) に映像信号が印加される。更に、走査ライン $8-x+2$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 $i+1$ 番目の表示ラインの奇数ラインデータを印加し、第 $i+1$ 番目の表示ラインの奇数番目の画素電極 1 ($i+1, k$) に映像信号が印加される。

【0075】本発明の第 2 4 の特徴のアクティブマトリクス型液晶表示装置では、図 10 (1) に示す如く、画素電極を $M \times 2N$ または $2N+1$ (M, N は任意の正整数) のマトリクス状に配置して、 $3N$ または $3N+2$ 本の走査ライン $8-1 \sim 8-3N$ または $3N+2$ の内、走査方向の第 i 番目 ($i=1 \sim 2N$ または $2N+1$ の奇数) の表示ラインに対して走査ライン $8-x$ 及び $8-x+1$ (x は $3i/2$ 以下の最大の整数) を割り当て、 M

／2本のデータライン $6-1 \sim 6-M/2$ の内、任意のデータライン $6-j$ 及び走査ライン $8-x$ に第1のTF TゲートF1を、奇数番目の画素電極1 (i, k)と偶数番目の画素電極1 ($i, k+1$)間で走査ライン $8-x+1$ に第2のTF TゲートF2を、それぞれ独立に接続し、また、走査方向の第 $i+1$ 番目の表示ラインに対して走査ライン $8-x+1$ 及び $8-x+2$ を割り当て、任意のデータライン $6-j$ 及び走査ライン $8-x+1$ に第3のTF TゲートF3を、奇数番目の画素電極1 ($i+1, k$)と偶数番目の画素電極1 ($i+1, k+1$)間で走査ライン $8-x+2$ に第4のTF TゲートF4を、それぞれ独立に接続して、4個の表示画素を構成する。

【0076】図10(2)に示す如く、先ず、走査ライン $8-x$ 及び $8-x+1$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 i 番目の表示ラインの偶数ラインデータを印加し、第 i 番目の表示ラインの偶数番目の画素電極1 ($i, k+1$)に映像信号が印加される。次に、走査ライン $8-x+1$ 及び $8-x+2$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 $i+1$ 番目の表示ラインの偶数ラインデータを印加し、第 $i+1$ 番目の表示ラインの偶数番目の画素電極1 ($i+1, k+1$)に映像信号が印加される。次に、走査ライン $8-x+1$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 $i+1$ 番目の表示ラインの奇数ラインデータを印加し、第 $i+1$ 番目の表示ラインの奇数番目の画素電極1 ($i+1, k$)に映像信号が印加される。更に、走査ライン $8-x$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 i 番目の表示ラインの奇数ラインデータを印加し、第 i 番目の表示ラインの奇数番目の画素電極1 (i, k)に映像信号が印加される。

【0077】本発明の第25の特徴のアクティブマトリクス型液晶表示装置では、第21、第22、第23、または第24の特徴のアクティブマトリクス型液晶表示装置において、図11(1)に示す如く、第1、第2、第3及びまたは第4のTF TゲートF1、F2、F3、及びまたはF4を、2個のTF Tゲートを並列接続して構成する。

【0078】図11(2)に示す如く、先ず、走査ライン $8-x$ 及び $8-x+1$ (x は表示ラインを i とすると、 $3i/2$ 以下の最大の整数)を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 i 番目の表示ラインの偶数ラインデータを印加し、第 i 番目の表示ラインの偶数番目の画素電極1 ($i, k+1$)に映像信号が印加される。次に、走査ライン $8-x+1$ 及び $8-x+2$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 $i+1$ 番目の表示ラインの偶数ラインデータを印加し、第 $i+1$ 番目の表示ラインの偶数番目の画素電極1 ($i+1, k+1$)に映像信号が印加される。

次に、走査ライン $8-x+1$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 i 番目の表示ラインの奇数ラインデータを印加し、第 i 番目の表示ラインの奇数番目の画素電極1 (i, k)に映像信号が印加される。更に、走査ライン $8-x+2$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 $i+1$ 番目の表示ラインの奇数ラインデータを印加し、第 $i+1$ 番目の表示ラインの奇数番目の画素電極1 ($i+1, k$)に映像信号が印加される。

【0079】これにより、TF Tゲートの冗長構成になりながら、並列につながれたTF Tゲートに欠陥が無い場合には、より大きな電流を液晶セルに供給できるので、高速な駆動が可能となる。

【0080】本発明の第26の特徴のアクティブマトリクス型液晶表示装置では、第21、第22、第23、第24、または第25の特徴のアクティブマトリクス型液晶表示装置において、カラー表示を行なう場合には、画素電極1 (i, j) ($i=1 \sim N, j=1 \sim M$)として、横方向に赤画素電極R、緑画素電極G、及び青画素電極Bを順に配列して1カラー画素を構成する。

【0081】更に、本発明の第27の特徴のアクティブマトリクス型液晶表示装置の駆動回路では、図29に示す如く、制御手段16によって、第 i 番目 ($i=1 \sim 2N$ または $2N+2$)の走査ライン $8-x$ 及び第 $x+1$ 番目の走査ライン $8-x+1$ の双方が同時に選択された第 i 番目の表示ライン上の画素電極1 (i, j) ($j=1 \sim M$)に表示データを印加するようデータ電極ドライバ2を制御する。

【0082】

【実施例】次に、本発明に係る実施例を図面に基づいて説明する。

第1実施例

図12に本発明の第1実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図を示す。

【0083】本実施例のアクティブマトリクス型液晶表示装置の駆動回路では、図1に示すような構成のアクティブマトリクス型液晶表示パネル1を駆動対象としている。即ち、画素電極を $M \times N$ (M, N は任意の正整数)のマトリクス状に配置して、 $2N$ 本の走査ライン $8-1 \sim 8-2N$ の内、走査方向の1表示ラインに対して走査ラインを2本ずつ割り当て、 $M/2$ 本のデータライン $6-1 \sim 6-M/2$ の内、任意のデータライン $6-j$ に接続される第1のTF TゲートG1及び第2のTF TゲートG2を、1表示ラインに対して割り当てられた2本の走査ライン $8-i$ 及び $8-i+1$ ($i=1 \sim 2N$)に独立に接続して、2個の表示画素を構成し、カラー表示を行なう場合には、画素電極1 (i, j) ($i=1 \sim N, j=1 \sim M$)として、横方向に赤画素電極R、緑画素電極G、及び青画素電極Bを順に配列して1カラー画素を構成するものである。

【0084】本実施例では、その一例として、 1120×780 のカラー画素（画素数： $1120 \times 3 \times 780$ ）を備えるアクティブマトリクス型液晶表示パネル1を駆動対象としている。

【0085】このような構成のアクティブマトリクス型液晶表示パネル1を駆動する駆動回路として、本実施例では図12に示す構成を取る。即ち、駆動回路はデータ電極ドライバ2及び3、走査電極ドライバ4、データ処理回路15、並びにタイミング発生回路16から構成されている。

【0086】データ電極ドライバ2及び3は、それぞれデータライン6-1～6-1680の奇数番目及び偶数番目のデータラインを駆動し、それぞれ840出力を備える。

【0087】走査電極ドライバ4は、走査ライン8-1～8-1560を駆動し、1560（ $=780 \times 2$ ）出力を備える。データ処理回路15は、データ信号Rdata、Gdata、及びBdataをデータ電極ドライバ2及び3に必要なタイミングに変換する回路であり、1走査ライン分の表示データを、奇数番目の画素電極に対応した奇数ラインデータと、偶数番目の画素電極に対応した偶数ラインデータとに分割して出力する。

【0088】タイミング発生回路16は、水平同期信号Hsync及び垂直同期信号Vsyncから、走査ドライバ制御信号Scnを出力して、任意の表示ラインに対する2本の走査ライン8-i及び8-i+1（ $i=1 \sim 1559$ の奇数）を1水平走査期間内に時分割に駆動するよう走査電極ドライバ4を制御し、また、データドライバ制御信号Dcnを出力して、一方の走査ライン8-iの駆動期間中はデータライン6-1～6-1679（奇数）に奇数ラインデータを、他方の走査ライン8-i+1の駆動期間中はデータライン6-1～6-1680（偶数）に偶数ラインデータを印加するようデータ電極ドライバ2及び3を制御する。

【0089】図13及び14に、本実施例の駆動回路の動作を説明するタイミングチャートを示す。同図に示すように、本実施例では、1ライン分の表示データを奇数ラインデータ及び偶数ラインデータに分割して、1水平期間に時分割で書き込む。また、これに同期して走査電極ドライバ4から走査電圧を出力する。つまり、1ライン（奇数）データに対して1走査ライン目、1ライン（偶数）データに対して2走査ライン目にそれぞれ走査電圧を出力する。これを繰り返して行なうと、1フレーム期間（1垂直期間）で1560本の走査ラインを駆動する。

第2実施例

図12に本発明の第2実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図を示す。第2実施例の構成は第1実施例の構成と同等である。

【0090】即ち、図1の構成を有するアクティブマト

リクス型液晶表示パネル1を駆動する駆動回路として、データ電極ドライバ2及び3、走査電極ドライバ4、データ処理回路15、並びにタイミング発生回路16から構成されている。

【0091】データ電極ドライバ2及び3、走査電極ドライバ4、並びにデータ処理回路15の機能は、第1実施例と同等である。タイミング発生回路16は、1垂直走査期間を第1の期間（奇数フレーム）及び第2の期間（偶数フレーム）に分け、奇数フレームでは、データライン6-1～6-1679（奇数）に奇数ラインデータを印加して、各表示ラインに対して一方の走査ライン8-i（ $i=1 \sim 1559$ の奇数）のみを順に駆動し、偶数フレームでは、データライン6-1～6-1680（偶数）に偶数ラインデータを印加して、各表示ラインに対して他方の走査ライン8-i+1のみを順に駆動するように、水平同期信号Hsync及び垂直同期信号Vsyncから、走査ドライバ制御信号Scn及びデータドライバ制御信号Dcnを出力して、データ電極ドライバ2及び3、並びに走査電極ドライバ4を制御する。

【0092】図15及び16に、本実施例の駆動回路の動作を説明するタイミングチャートを示す。同図に示すように、本実施例では、先ず奇数フレームでは、1ライン分の表示データの内、奇数ラインデータのデータを1水平期間に書き込み、これに同期して奇数ラインの走査電極ドライバ4から走査電圧を出力する。そして次の偶数フレームでは、1ライン分の表示データの内、偶数ラインデータを1水平期間に書き込み、これに同期して走査電極ドライバ4から走査電圧を出力する。つまり、1フレーム期間（奇数フレーム）で780本（奇数走査ライン）、次のフレーム期間（偶数フレーム）で780本（偶数走査ライン）の走査を行なう、所謂インタレース走査を行なう。

【0093】以上のように、第1及び第2の実施例では、アクティブマトリクス回路構成において、走査方向の1表示ラインを2本の走査ライン（ゲートバス）で構成すると共に、同一のデータラインに接続された2個のTFTゲートG1及びG2を2本の走査ラインに独立に接続して、2個の表示画素を構成し、カラー表示を行なう場合には、横方向に赤画素電極R、緑画素電極G、及び青画素電極Bを順に配列して1カラー画素を構成し、2本の走査ラインを時分割で駆動して表示を行なう。

【0094】これにより、図17に示すように、駆動回路数が走査電極側で2倍になるものの、データ電極側で2分の1になり、全体として約4分の3になる。回路コストは現状の技術ではデータ電極側：走査電極側=3：1であるため、全体としてコストの低減率は約5分の3となる。また、接続ピッチは、走査電極側で2分の1になるものの、データ電極側で2倍になる。OA用途の表示パネルでは画素構成が縦ストライプであるため、画素

ピッチは例えばデータ電極側で0.1mm、走査電極側で0.3mmとなり、走査側が2分の1となっても特に接続の歩留りが低下することはない。

第3実施例

図18に本発明の第3実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図を示す。

【0095】本実施例のアクティブマトリクス型液晶表示装置の駆動回路では、図2に示すような構成のアクティブマトリクス型液晶表示パネル1を駆動対象としている。即ち、画素電極を $M \times N$ (M , N は任意の正整数)のマトリクス状に配置して、 $2N$ 本の走査ラインの内、走査方向の1表示ラインに対して第1走査ライン $8-1 \sim 8-N$ 及び第2走査ライン $9-1 \sim 9-N$ の2本ずつ割り当て、各表示ラインにおいて、 M 本のデータライン $6-1 \sim 6-M$ の内、任意のデータライン $6-j$ に第1のTFTゲート $T1$ 及び第2のTFTゲート $T2$ を直列に接続すると共に、各TFTゲート $T1$ 及び $T2$ をそれぞれ第1走査ライン $8-1 \sim 8-N$ 及び第2走査ライン $9-1 \sim 9-N$ に独立に接続して、1個の表示画素を構成し、カラー表示を行なう場合には、画素電極1 (i , j) ($i=1 \sim N$, $j=1 \sim M$)として、横方向に赤画素電極R、緑画素電極G、及び青画素電極Bを順に配列して1カラー画素を構成するものである。

【0096】例えば、図19に示すように、走査方向に $N=16$ 本の表示ラインを持つ表示パネルにおいては、 16×2 本の走査ラインを第1走査ライン $8-1 \sim 8-16$ 及び第2走査ライン $9-1 \sim 9-16$ とし、それぞれ N 本=4本ずつのグループ ($10-1 \sim 10-4$ 及び $11-1 \sim 11-4$)に分けられて、各グループは共通接続される。

【0097】このアクティブマトリクス型液晶表示装置においては、第1走査ライン $8-1 \sim 8-N$ のグループの1つと第2走査ライン $9-1 \sim 9-N$ のグループの1つが時分割に選択され、第1走査ライン $8-i$ 及び第2走査ライン $9-i$ の双方が同時に選択された表示ライン上の画素電極1 (i , j) ($j=1 \sim M$)に表示データを書き込み、線順次走査して表示する。

【0098】本実施例では、その一例として、 640×400 のカラー画素 (画素数 $640 \times 3 \times 400$)を備えるアクティブマトリクス型液晶表示パネル1を駆動対象としている。

【0099】このような構成のアクティブマトリクス型液晶表示パネル1を駆動する駆動回路として、本実施例では図18に示す構成を取る。即ち、駆動回路はデータ電極ドライバ2及び3、走査電極ドライバ4及び5、データ処理回路15、並びにタイミング発生回路16から構成されている。

【0100】第1走査電極ドライバ4は、第1走査ライン $8-1 \sim 8-400$ の各グループ $10-1 \sim 10-20$ を駆動し、第2走査電極ドライバ5は、第2走査ライ

ン $9-1 \sim 9-200$ の各グループ $11-1 \sim 11-20$ を駆動する。

【0101】データ電極ドライバ2及び3は、それぞれデータライン $6-1 \sim 6-1920$ の奇数番目及び偶数番目のデータラインを駆動し、それぞれ960出力を備える。

【0102】データ処理回路15は、データ信号 $Rdata$ 、 $Gdata$ 、及び $Bdata$ をデータ電極ドライバ2及び3に必要なタイミングに変換する回路であり、1走査ライン分の表示データを、奇数番目の画素電極に対応した奇数ラインデータと、偶数番目の画素電極に対応した偶数ラインデータとに分割して出力する。

【0103】タイミング発生回路16は、水平同期信号 $Hsync$ 及び垂直同期信号 $Vsync$ から、走査ドライバ制御信号 Scn 及びデータドライバ制御信号 Dcn を出力して、第1走査ラインのグループ $10-1 \sim 10-20$ の1つと第2走査ラインのグループ $11-1 \sim 11-20$ の1つが時分割に駆動するよう第1走査電極ドライバ4及び第2走査電極ドライバ5を制御し、第1走査ライン $8-i$ 及び第2走査ライン $9-i$ の双方が同時に選択された表示ライン上の画素電極1 (i , j) ($j=1 \sim 1920$)に表示データを印加するようデータ電極ドライバ2及び3を制御する。

【0104】本実施例の動作原理を、表示ラインが16本の場合 (図19)を例に説明する。例えば走査電極ドライバ4の出力ドライバ $Da1$ と走査電極ドライバ5の出力ドライバ $Db1$ から駆動電圧を出力することにより、走査ライングループ $10-1$ 及び $11-1$ に駆動電圧が印加される。その結果、1ライン目の表示ラインでは、上下2個のTFTゲート $T1$ 及び $T2$ が共にオンになり画素電極にデータ信号が書き込まれるが、2、3、4ライン目の表示ラインではTFTゲート $T1$ のみがオン、5、9、13ライン目の表示ラインではTFTゲート $T2$ のみがオンになるため、その他の表示ラインの画素電極にはデータ信号は書き込まれない。つまり、2個のTFTゲート $T1$ 及び $T2$ が同時にオンになる時のみ書き込みが行なわれる。

【0105】図20に、表示ラインが16本の場合の動作を説明するタイミングチャートを示す。同図に示すように、走査電極ドライバ4の出力ドライバ $Da1 \sim Da4$ と走査電極ドライバ5の出力ドライバ $Db1 \sim Db4$ から駆動電圧出力が同時にオンになるタイミングで1本の表示ラインが選択されて、1~16ラインまで線順次で走査される。

【0106】以上のように、本実施例の走査側の表示ライン数が400本の場合には、20個の出力ドライバを備える2個の走査電極ドライバ4及び5を構成すればよく、出力ドライバ数を大幅に低減できる。

【0107】また、図21に示すように、本実施例の実装として、共通接続する第1走査ライン $8-1 \sim 8-N$

及び第2走査ライン9-1~9-Nの配線を、表示パネル1の基板上に設けた場合には、表示パネル基板と駆動回路(例えばTAB-IC)の接続点数を大幅に減らすことができる。

【0108】更に、図22に示すように、本実施例の実装として、共通接続する第1走査ライン8-1~8-N及び第2走査ライン9-1~9-Nの配線を、駆動回路基板上(例えばFPC:フレキシブルプリント回路基板)に設けた場合には、表示パネル基板内部での配線クロスオーバーが無くなり、表示パネルの歩留りが向上する。

第4実施例

図23に本発明の第4実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図を示す。

【0109】本実施例のアクティブマトリクス型液晶表示装置の駆動回路では、図3に示すような構成のアクティブマトリクス型液晶表示パネル1を駆動対象としている。即ち、画素電極を $M \times N$ (M, N は任意の正整数)のマトリクス状に配置して、 $N+1$ 本の走査ライン8-1~8- $N+1$ の内、走査方向の1表示ラインに対して2本ずつ割り当て、各表示ラインにおいて、 M 本のデータライン6-1~6- M の内、任意のデータライン6- j に第1のTFTゲートQ1及び第2のTFTゲートQ2を直列に接続すると共に、各TFTゲートQ1及びQ2をそれぞれ1表示ラインに対して割り当てられた2本の走査ライン8- i 及び走査ライン8- $i+1$ に独立に接続して、1個の表示画素を構成し、カラー表示を行なう場合には、画素電極1(i, j) ($i=1 \sim N, j=1 \sim M$)として、横方向に赤画素電極R、緑画素電極G、及び青画素電極Bを順に配列して1カラー画素を構成するものである。

【0110】本実施例では、その一例として、 8×16 の画素電極を備えるアクティブマトリクス型液晶表示パネル1を駆動対象としている。このような構成のアクティブマトリクス型液晶表示パネル1を駆動する駆動回路として、本実施例では図23に示す構成を取る。即ち、駆動回路はデータ電極ドライバ2、走査電極ドライバ4、データ処理回路15、及びタイミング発生回路16から構成されている。

【0111】走査電極ドライバ4は、走査ライン8-1~8-17をドライバ出力10-1~10-8で駆動する。つまり、8個のドライバ出力10-1~10-8を備え、走査ライン8-1~8-17の奇数番目に対しては、ドライバ出力の奇数番目の出力10-1, 10-3, 10-5, 10-7を順に接続し、走査ライン8-1~8-17の偶数番目に対しては、ドライバ出力の偶数番目の出力10-2, 10-4, 10-6, 10-8を1周期毎に2つずらしながら、即ち、10-1, 10-2, ..., 10-8, 10-1, 10-6, 10-3, 10-8, 10-5, 10-2, 10-7, 10-4,

10-1と接続する。

【0112】データ電極ドライバ2は、データライン6-1~6-8を駆動する。データ処理回路15は、データ信号Rdata, Gdata, 及びBdataをデータ電極ドライバ2に必要なタイミングに変換する回路である。

【0113】タイミング発生回路16は、水平同期信号Hsync及び垂直同期信号Vsyncから、走査ドライバ制御信号Scn及びデータドライバ制御信号Dcnを出力して、第 i 番目($i=1 \sim 16$)の走査ライン8- i 及び第 $i+1$ 番目の走査ライン8- $i+1$ の双方が同時に選択された第 i 番目の表示ライン上の画素電極1(i, j) ($j=1 \sim 8$)に表示データを印加するように制御する。

【0114】図24に本実施例の動作を説明するタイミングチャートを示す。本実施例では、上述のようなドライバ出力10-1~10-8と走査ライン8-1~8-17の接続関係とすることにより、隣接する走査ラインに印加されるドライバ出力10-1~10-8が同じ組み合わせになることを防止することができ、図24に示すように、第1番目から第16番目の表示ラインを順に駆動させていく。

【0115】また、走査電極ドライバ4が16個のドライバ出力10-1~10-16を備える場合には、奇数番目のドライバ出力は同じ順番で4回ずつ接続し、偶数番目の出力ドライバは2つずつ順番をずらしながら4回ずつ走査電極に接続することで、容易に64行の表示ラインを備える表示パネルを駆動することができる。但し、偶数番目のドライバ出力を6つずつずらしながら接続してもよいし、また不規則な接続をしてもよい。

【0116】以上のように本実施例によれば、例えば、400本の表示ラインに対して $2 \times 20 = 40$ 個のドライバ出力を備える走査電極ドライバ4を構成すればよく、ドライバ出力数を10分の1と大幅に低減でき、アクティブマトリクス型液晶表示装置の低コスト化が実現できる。

第5実施例

図25に本発明の第5実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図を示す。

【0117】本実施例のアクティブマトリクス型液晶表示装置の駆動回路では、第4実施例と同様に、図3に示すような構成のアクティブマトリクス型液晶表示パネル1を駆動対象としている。

【0118】本実施例では、その一例として、 8×21 の画素電極を備えるアクティブマトリクス型液晶表示パネル1を駆動対象としている。このような構成のアクティブマトリクス型液晶表示パネル1を駆動する駆動回路として、本実施例では図25に示す構成を取る。即ち、駆動回路はデータ電極ドライバ2、走査電極ドライバ4、データ処理回路15、及びタイミング発生回路16

から構成されている。

【0119】走査電極ドライバ4は、走査ライン8-1～8-22をドライバ出力10-1～10-7で駆動する。つまり、7個のドライバ出力10-1～10-7を備え、走査ライン8-1～8-22に対して、第*i*番目 ($i=1\sim21$) の走査ライン8-*i* 及び第*i*+1番目の走査ライン8-*i*+1に7個のドライバ出力から異なる2出力の組み合わせの内、1つずつが接続されている。

【0120】データ電極ドライバ2は、データライン6-1～6-8を駆動する。データ処理回路15は、データ信号Rdata、Gdata、及びBdataをデータ電極ドライバ2に必要なタイミングに変換する回路である。

【0121】タイミング発生回路16は、水平同期信号Hsync及び垂直同期信号Vsyncから、走査ドライバ制御信号Scon及びデータドライバ制御信号Dconを出力して、第*i*番目 ($i=1\sim21$) の走査ライン8-*i* 及び第*i*+1番目の走査ライン8-*i*+1の双方が同時に選択された第*i*番目の表示ライン上の画素電極1 (*i*, *j*) ($j=1\sim8$) に表示データを印加するよう制御する。

【0122】図26に本実施例の動作を説明するタイミングチャートを示す。本実施例では、上述のようなドライバ出力10-1～10-7と走査ライン8-1～8-22の接続関係とすることにより、隣接する走査ラインに印加されるドライバ出力10-1～10-7が同じ組み合わせになることを防止することができ、図26に示すように、第1番目から第21番目の表示ラインを順に駆動させていく。

【0123】以上のように本実施例によれば、例えば31個のドライバ出力を備える走査電極ドライバ4により、465本の表示ラインを駆動することができ、ドライバ出力数を大幅に低減できるので、アクティブマトリクス型液晶表示装置の低コスト化が実現できる。更に、表示ライン数が2倍となった場合でも必要なドライバ出力数は1.5倍以下にしか増加せず、特に高精細表示でコスト低減の効果が大きい。

【0124】尚、第4及び第5実施例では、全ての行の画素電極に2つのTFTゲートQ1及びQ2を設けているが、従来または他の実施例のアクティブマトリクス型液晶表示装置の構成としてもよく、また、2つのTFTゲートQ1及びQ2のどちらかを上下の走査ラインに接続するかは、基本的な動作には影響しない。

第6実施例

図27に本発明の第6実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図を示す。

【0125】本実施例のアクティブマトリクス型液晶表示装置の駆動回路では、図4に示すような構成のアクティブマトリクス型液晶表示パネル1を駆動対象としてい

る。即ち、画素電極を $M\times N$ (M, N は任意の正整数) のマトリクス状に配置して、 $N+1$ 本の走査ライン8-1～8- $N+1$ の内、走査方向の1表示ラインに対して走査ラインを2本ずつ割り当て、 $M/2$ 本のデータライン6-1～6- $M/2$ の内、任意のデータライン6-*j* に接続される第1のTFTゲートP1及び第2のTFTゲートP2を、1表示ラインに対して割り当てられた2本の走査ライン8-*i* 及び8-*i*+1 ($i=1\sim N$) に独立に接続し、またデータライン6-*j* に接続される第3のTFTゲートP3を、走査ライン8-*i* に独立に接続して、2個の表示画素を構成し、カラー表示を行なう場合には、画素電極1 (*i*, *j*) ($i=1\sim N, j=1\sim M$) として、横方向に赤画素電極R、緑画素電極G、及び青画素電極Bを順に配列して1カラー画素を構成するものである。

【0126】このような構成のアクティブマトリクス型液晶表示パネル1を駆動する駆動回路として、本実施例では図27に示す構成を取る。即ち、駆動回路はデータ電極ドライバ2、第1走査電極ドライバ4、第2走査電極ドライバ5、データ処理回路15、及びタイミング発生回路16から構成されている。

【0127】第1走査電極ドライバ4は走査ライン8-1～8- $N+1$ の内奇数番目を、第2走査電極ドライバ5は走査ライン8-1～8- $N+1$ の内偶数番目をそれぞれ駆動する。第1走査電極ドライバ4及び第2走査電極ドライバ5の内部構成は、タイミング発生回路16の制御の下、第1走査電極ドライバ4及び第2走査電極ドライバ5の出力カインープル制御により、偶数番目或いは奇数番目の走査ライン8-*i* を強制的に非選択電圧にするシフトレジスタを備えた一般的な構成である。

【0128】データ電極ドライバ2は、データライン6-1～6- $M/2$ を駆動する。データ処理回路15は、データ信号Rdata、Gdata、及びBdataをデータ電極ドライバ2に必要なタイミングに変換する回路であり、1走査ライン分の表示データを、奇数番目の画素電極に対応した奇数ラインデータと、偶数番目の画素電極に対応した偶数ラインデータとに分割して出力する。

【0129】タイミング発生回路16は、水平同期信号Hsync及び垂直同期信号Vsyncから、第1走査ドライバ制御信号Scon1、第2走査ドライバ制御信号Scon2、及びデータドライバ制御信号Dconを出力して、所定のタイミングで、第*i*番目の走査ライン8-*i* 及び第*i*+1番目の走査ライン8-*i*+1に選択電圧を印加し、次のタイミングで、第*i*番目の走査ライン8-*i* に選択電圧を、第*i*+1番目の走査ライン8-*i*+1に非選択電圧をそれぞれ印加し、更に次のタイミングで、第*i*番目の走査ライン8-*i* に非選択電圧を印加するという一連の動作を、*i* の昇順に繰り返すよう制御する。

【0130】つまり、第 i 番目の走査ライン $8-i$ 及び第 $i+1$ 番目の走査ライン $8-i+1$ に選択電圧を印加することにより、第 1～第 3 の TFT ゲート P1～P3 は全て導通状態となり、この時データライン $6-1 \sim 6-M/2$ には、奇数番目の画素電極に対応した奇数ラインデータが印加される。次に、第 i 番目の走査ライン $8-i$ に選択電圧を、第 $i+1$ 番目の走査ライン $8-i+1$ に非選択電圧をそれぞれ印加することにより、第 2 の TFT ゲート P2 は非導通状態となり、これに接続された画素電極の電圧は液晶セルの容量によって保持される。この時、第 3 の TFT ゲート P3 は導通状態を保っており、ここでデータライン $6-1 \sim 6-M/2$ には、偶数番目の画素電極に対応した偶数ラインデータが印加されているので、この電圧が新たに画素電極に印加される。次に、第 i 番目の走査ライン $8-i$ に非選択電圧を印加することにより、第 1 及び第 2 の TFT ゲート P1 及び P3 は非導通状態となり、第 3 の TFT ゲートに接続された画素電極の電圧はその画素の液晶セルの容量によりやはり保持され、次の書き込みまで液晶セルの印加電圧が保たれる。

【0131】図 28 に、本実施例の駆動回路の動作を説明するタイミングチャートを示す。タイミング発生回路 16 からの第 1 走査ドライバ制御信号 $Scn1$ 及び第 2 走査ドライバ制御信号 $Scn2$ には、シフト入力 S11 及び S12 と出力イネーブル信号 OE1 及び OE2 があり、これら制御信号により、同図に示すような走査ライン $8-1 \sim 8-N+1$ の電圧波形を生成して、各表示ラインの奇数ドット及び偶数ドットの液晶セルに順次電圧を印加して行く。

【0132】以上のように本実施例によれば、表示ライン上の 2 個の画素電極が TFT ゲート P1～P3 を介して 1 本のデータライン $6-j$ に接続されており、データラインを従来の半分とし、データ電極ドライバ 2 のドライバ出力数も半分にすることができ、回路コストを低減することができる。

【0133】また、本実施例の変形例として以下のような構成が考えられる。

(1) アクティブマトリクス型液晶表示装置の構成を、図 5 (1) に示す構成とする。即ち、第 2 の TFT ゲート P2 を第 i 番目の走査ライン $8-i$ に、第 1 の TFT ゲート P1 を第 $i+1$ 番目の走査ライン $8-i+1$ にそれぞれ接続した構成である。

(2) アクティブマトリクス型液晶表示装置の構成を、図 5 (2) に示す如く、第 1 の TFT トランジスタ P1 または第 2 の TFT トランジスタ P2 を、走査ライン $8-i$ 上に構成する。この構成でもデータライン $6-1 \sim 6-M/2$ に印加する電圧のタイミングが多少異なるのみで、上記実施例と同様の動作が行なえ、更に TFT ゲートを構成する面積を小さくすることができ、画素電極を大きくとれる効果がある。

(3) アクティブマトリクス型液晶表示装置の構成を、図 5 (3) に示す如く、第 3 の TFT トランジスタ P3 と画素電極 $1(i, k+1)$ または $1(i, h+1)$ の間に、制御端子を第 i 番目の走査ライン $8-i$ に接続した第 4 の TFT ゲート P4 を構成する。この構成によれば、全ての画素電極に対して 2 つの TFT ゲートが接続されることになり、書き込みの特性を均一にすることができる。

(4) 以上の実施例及びその変形例において、走査ライン上の奇数番目の画素電極と偶数番目の画素電極を逆にして、アクティブマトリクス型液晶表示装置を構成する。

(5) 1 つの表示パネル内で、以上の実施例並びに変形例の構成を混在させる、或いは、従来の 1 画素電極に対して 1 個の TFT ゲートの構成と混在させる。

第 7 実施例

図 29 に本発明の第 7 実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図を示す。

【0134】本実施例のアクティブマトリクス型液晶表示装置の駆動回路では、図 7 (1) に示すような構成のアクティブマトリクス型液晶表示パネル 1 を駆動対象としている。即ち、画素電極を $M \times 2N$ または $2N+1$

(M, N は任意の正整数) のマトリクス状に配置して、 $3N$ または $3N+2$ 本の走査ライン $8-1 \sim 8-3N$ または $3N+2$ の内、走査方向の第 i 番目 ($i=2N$ または $2N+1$ の奇数) の表示ラインに対して走査ライン $8-x$ 及び $8-x+1$ (x は $3i/2$ 以下の最大の整数) を割り当て、 $M/2$ 本のデータライン $6-1 \sim 6-M/2$ の内、任意のデータライン $6-j$ に接続される第 1 の TFT ゲート F1 及び第 2 の TFT ゲート F2 を、それぞれ走査ライン $8-x$ 及び $8-x+1$ に独立に接続し、また、走査方向の第 $i+1$ 番目の表示ラインに対して走査ライン $8-x+1$ 及び $8-x+2$ を割り当て、任意のデータライン $6-j$ に接続される第 3 の TFT ゲート F3 及び第 4 の TFT ゲート F4 を、それぞれ走査ライン $8-x+2$ 及び $8-x+1$ に独立に接続して、4 個の表示画素を構成し、カラー表示を行なう場合には、画素電極 $1(i, j)$ ($i=1 \sim 2N$ または $2N+1, j=1 \sim M$) として、横方向に赤画素電極 R、緑画素電極 G、及び青画素電極 B を順に配列して 1 カラー画素を構成するものである。

【0135】このような構成のアクティブマトリクス型液晶表示パネル 1 を駆動する駆動回路として、本実施例では図 27 に示す構成を取る。即ち、駆動回路はデータ電極ドライバ 2、走査電極ドライバ 4、データ処理回路 15、及びタイミング発生回路 16 から構成されている。

【0136】走査電極ドライバ 4 は走査ライン $8-1 \sim 8-3N$ または $3N+2$ を駆動する。データ電極ドライバ 2 は、データライン $6-1 \sim 6-M/2$ を駆動する。

【0137】データ処理回路15は、データ信号Rdata、Gdata、及びBdataをデータ電極ドライバ2に必要なタイミングに変換する回路であり、1走査ライン分の表示データを、奇数番目の画素電極に対応した奇数ラインデータと、偶数番目の画素電極に対応した偶数ラインデータとに分割して出力する。

【0138】タイミング発生回路16は、水平同期信号Hsync及び垂直同期信号Vsyncから、走査ドライバ制御信号Scn及びデータドライバ制御信号Dcnを出力して、第x番目(x=1~3N、xは表示ラインをi番目とし、 $3i/2$ 以下の最大の整数)の走査ライン8-x及び第x+1番目の走査ライン8-x+1の両方が同時に選択された第i番目の表示ライン上の画素電極1(i, j)(j=1~M)に表示データを印加するよう制御する。

【0139】図7(2)に示すタイミングチャートを参照して本実施例の駆動回路の動作を説明する。先ず、走査ライン8-x及び8-x+1を選択電圧とすると共に、データライン6-1~6-M/2に第i番目の表示ラインの奇数ラインデータを印加し、第i番目の表示ラインの奇数番目の画素電極1(i, k)に映像信号が印加される。次に、走査ライン8-x+1及び8-x+2を選択電圧とすると共に、データライン6-1~6-M/2に第i+1番目の表示ラインの奇数ラインデータを印加し、第i+1番目の表示ラインの奇数番目の画素電極1(i+1, k)に映像信号が印加される。次に、走査ライン8-x+2を選択電圧とすると共に、データライン6-1~6-M/2に第i+1番目の表示ラインの偶数ラインデータを印加し、第i+1番目の表示ラインの偶数番目の画素電極1(i+1, k+1)に映像信号が印加される。更に、走査ライン8-xを選択電圧とすると共に、データライン6-1~6-M/2に第i番目の表示ラインの偶数ラインデータを印加し、第i番目の表示ラインの偶数番目の画素電極1(i, k+1)に映像信号が印加される。

【0140】以上のように本実施例によれば、表示ライン上の4個の画素電極がTFTゲートF1~F4を介して1本のデータライン6-jに接続されており、データラインを従来の半分とし、データ電極ドライバ2のドライバ出力数も半分にすることができ、回路コストを低減することができる。

【0141】尚、アクティブマトリクス型液晶表示装置を、データライン6-jに対して左右対象とした構成でも、走査ライン8-x+1に対して上下対象とした構成でも、同様な制御方法により駆動できる。また、図7(2)とは異なる電圧波形により、画素電極1(i, k)、1(i, k+1)、1(i+1, k)、及び1(i+1, k+1)の駆動順序を変更することも可能である。

【0142】また、本実施例の変形例として以下のよう

な構成が考えられる。

(1) 第1の変形例

アクティブマトリクス型液晶表示装置を、図8(1)に示す如く、画素電極を $M \times 2N$ または $2N+1$ (M, Nは任意の正整数)のマトリクス状に配置して、 $3N$ または $3N+2$ 本の走査ライン8-1~8-3Nまたは $3N+2$ の内、走査方向の第i番目(i=1~2Nまたは $2N+1$ の奇数)の表示ラインに対して、走査ライン8-x及び8-x+1(xは $3i/2$ 以下の最大の整数)を割り当て、 $M/2$ 本のデータライン6-1~6-M/2の内、任意のデータライン6-jに接続される第1のTFTゲートF1及び第2のTFTゲートF2を、それぞれ走査ライン8-x及び8-x+1に独立に接続し、また、走査方向の第i+1番目の表示ラインに対して走査ライン8-x+1及び8-x+2を割り当て、任意のデータライン6-jに接続される第3のTFTゲートF3及び第4のTFTゲートF4を、それぞれ走査ライン8-x+1及び8-x+2に独立に接続して、4個の表示画素を構成する。

【0143】図8(2)に示すタイミングチャートを参照して動作を説明する。先ず、走査ライン8-x及び8-x+1を選択電圧とすると共に、データライン6-1~6-M/2に第i番目の表示ラインの奇数ラインデータを印加し、第i番目の表示ラインの奇数番目の画素電極1(i, k)に映像信号が印加される。次に、走査ライン8-x+1及び8-x+2を選択電圧とすると共に、データライン6-1~6-M/2に第i+1番目の表示ラインの奇数ラインデータを印加し、第i+1番目の表示ラインの奇数番目の画素電極1(i+1, k)に映像信号が印加される。次に、走査ライン8-xを選択電圧とすると共に、データライン6-1~6-M/2に第i番目の表示ラインの偶数ラインデータを印加し、第i番目の表示ラインの偶数番目の画素電極1(i, k+1)に映像信号が印加される。更に、走査ライン8-x+1を選択電圧とすると共に、データライン6-1~6-M/2に第i+1番目の表示ラインの偶数ラインデータを印加し、第i+1番目の表示ラインの偶数番目の画素電極1(i+1, k+1)に映像信号が印加される。

【0144】尚、アクティブマトリクス型液晶表示装置を、データライン6-jに対して左右対象とした構成でも、同様な制御方法により駆動できる。また、図8(2)とは異なる電圧波形により、画素電極1(i, k)、1(i, k+1)、1(i+1, k)、及び1(i+1, k+1)の駆動順序を変更することも可能である。

(2) 第2の変形例

アクティブマトリクス型液晶表示装置を、図9(1)に示す如く、画素電極を $M \times 2N$ または $2N+1$ (M, Nは任意の正整数)のマトリクス状に配置して、 $3N$ または $3N+2$ 本の走査ライン8-1~8-3Nまたは $3N$

+ 2 の内、走査方向の第 i 番目 ($i = 1 \sim 2N$ または $2N + 1$ の奇数) の表示ラインに対して走査ライン $8 - x$ 及び $8 - x + 1$ (x は $3i/2$ 以下の最大の整数) を割り当て、 $M/2$ 本のデータライン $6 - 1 \sim 6 - M/2$ の内、任意のデータライン $6 - j$ と奇数番目の画素電極 1 (i, k) 間で走査ライン $8 - x$ に第 1 の TFT ゲート F 1 を、奇数番目の画素電極 1 (i, k) と偶数番目の画素電極 1 ($i, k + 1$) 間で走査ライン $8 - x + 1$ に第 2 の TFT ゲート F 2 を、それぞれ独立に接続し、また、走査方向の第 $i + 1$ 番目の表示ラインに対して走査ライン $8 - x + 1$ 及び $8 - x + 2$ を割り当て、任意のデータライン $6 - j$ と奇数番目の画素電極 1 ($i + 1, k$) 間で走査ライン $8 - x + 2$ に第 3 の TFT ゲート F 3 を、奇数番目の画素電極 1 ($i + 1, k$) と偶数番目の画素電極 1 ($i + 1, k + 1$) 間で走査ライン $8 - x + 1$ に第 4 の TFT ゲート F 4 を、それぞれ独立に接続して、4 個の表示画素を構成する。

【0145】図 9 (2) に示すタイミングチャートを参照して動作を説明する。まず、走査ライン $8 - x$ 及び $8 - x + 1$ を選択電圧とすると共に、データライン $6 - 1 \sim 6 - M/2$ に第 i 番目の表示ラインの偶数ラインデータを印加し、第 i 番目の表示ラインの偶数番目の画素電極 1 ($i, k + 1$) に映像信号が印加される。次に、走査ライン $8 - x + 1$ 及び $8 - x + 2$ を選択電圧とすると共に、データライン $6 - 1 \sim 6 - M/2$ に第 $i + 1$ 番目の表示ラインの偶数ラインデータを印加し、第 $i + 1$ 番目の表示ラインの偶数番目の画素電極 1 ($i + 1, k + 1$) に映像信号が印加される。次に、走査ライン $8 - x$ を選択電圧とすると共に、データライン $6 - 1 \sim 6 - M/2$ に第 i 番目の表示ラインの奇数ラインデータを印加し、第 i 番目の表示ラインの奇数番目の画素電極 1 (i, k) に映像信号が印加される。更に、走査ライン $8 - x + 2$ を選択電圧とすると共に、データライン $6 - 1 \sim 6 - M/2$ に第 $i + 1$ 番目の表示ラインの奇数ラインデータを印加し、第 $i + 1$ 番目の表示ラインの奇数番目の画素電極 1 ($i + 1, k$) に映像信号が印加される。

【0146】尚、アクティブマトリクス型液晶表示装置を、データライン $6 - j$ に対して左右対象とした構成でも、走査ライン $8 - x + 1$ に対して上下対象とした構成でも、同様な制御方法により駆動できる。また、図 9 (2) とは異なる電圧波形により、画素電極 1 (i, k)、1 ($i, k + 1$)、1 ($i + 1, k$)、及び 1 ($i + 1, k + 1$) の駆動順序を変更することも可能である。

(3) 第 3 の変形例

アクティブマトリクス型液晶表示装置を、図 10 (1) に示す如く、画素電極を $M \times 2N$ または $2N + 1$ (M, N は任意の正整数) のマトリクス状に配置して、 $3N$ または $3N + 2$ 本の走査ライン $8 - 1 \sim 8 - 3N$ または 3

$N + 2$ の内、走査方向の第 i 番目 ($i = 1 \sim 2N$ または $2N + 1$ の奇数) の表示ラインに対して走査ライン $8 - x$ 及び $8 - x + 1$ (x は $3i/2$ 以下の最大の整数) を割り当て、 $M/2$ 本のデータライン $6 - 1 \sim 6 - M/2$ の内、任意のデータライン $6 - j$ と奇数番目の画素電極 1 (i, k) 間で走査ライン $8 - x$ に第 1 の TFT ゲート F 1 を、奇数番目の画素電極 1 (i, k) と偶数番目の画素電極 1 ($i, k + 1$) 間で走査ライン $8 - x + 1$ に第 2 の TFT ゲート F 2 を、それぞれ独立に接続し、また、走査方向の第 $i + 1$ 番目の表示ラインに対して走査ライン $8 - x + 1$ 及び $8 - x + 2$ を割り当て、任意のデータライン $6 - j$ と奇数番目の画素電極 1 ($i + 1, k$) 間で走査ライン $8 - x + 1$ に第 3 の TFT ゲート F 3 を、奇数番目の画素電極 1 ($i + 1, k$) と偶数番目の画素電極 1 ($i + 1, k + 1$) 間で走査ライン $8 - x + 2$ に第 4 の TFT ゲート F 4 を、それぞれ独立に接続して、4 個の表示画素を構成する。

【0147】図 10 (2) に示すタイミングチャートを参照して動作を説明する。まず、走査ライン $8 - x$ 及び $8 - x + 1$ を選択電圧とすると共に、データライン $6 - 1 \sim 6 - M/2$ に第 i 番目の表示ラインの偶数ラインデータを印加し、第 i 番目の表示ラインの偶数番目の画素電極 1 ($i, k + 1$) に映像信号が印加される。次に、走査ライン $8 - x + 1$ 及び $8 - x + 2$ を選択電圧とすると共に、データライン $6 - 1 \sim 6 - M/2$ に第 $i + 1$ 番目の表示ラインの偶数ラインデータを印加し、第 $i + 1$ 番目の表示ラインの偶数番目の画素電極 1 ($i + 1, k + 1$) に映像信号が印加される。次に、走査ライン $8 - x$ を選択電圧とすると共に、データライン $6 - 1 \sim 6 - M/2$ に第 i 番目の表示ラインの奇数ラインデータを印加し、第 i 番目の表示ラインの奇数番目の画素電極 1 (i, k) に映像信号が印加される。更に、走査ライン $8 - x + 2$ を選択電圧とすると共に、データライン $6 - 1 \sim 6 - M/2$ に第 $i + 1$ 番目の表示ラインの奇数ラインデータを印加し、第 $i + 1$ 番目の表示ラインの奇数番目の画素電極 1 ($i + 1, k$) に映像信号が印加される。

【0148】尚、アクティブマトリクス型液晶表示装置を、データライン $6 - j$ に対して左右対象とした構成でも、同様な制御方法により駆動できる。また、図 10 (2) とは異なる電圧波形により、画素電極 1 (i, k)、1 ($i, k + 1$)、1 ($i + 1, k$)、及び 1 ($i + 1, k + 1$) の駆動順序を変更することも可能である。

(4) 第 4 の変形例

上記実施例、並びに第 1、第 2、及び第 3 の変形例において、図 11 (1) に示す如く、第 1、第 2、第 3 及びまたは第 4 の TFT ゲート F 1、F 2、F 3、及びまたは F 4 を、2 個の TFT ゲートを並列接続して構成する。

【0149】図 11 (2) に示すタイミングチャートを

参照して動作を説明する。まず、走査ライン $8-x$ 及び $8-x+1$ (x は表示ラインを x 番目とすると、 $3i/2$ 以下の最大の整数)を選択電圧とすると共に、データライン $6-1\sim 6-M/2$ に第 i 番目の表示ラインの偶数ラインデータを印加し、第 i 番目の表示ラインの偶数番目の画素電極 $1(i, k+1)$ に映像信号が印加される。次に、走査ライン $8-x+1$ 及び $8-x+2$ を選択電圧とすると共に、データライン $6-1\sim 6-M/2$ に第 $i+1$ 番目の表示ラインの偶数ラインデータを印加し、第 $i+1$ 番目の表示ラインの偶数番目の画素電極 $1(i+1, k+1)$ に映像信号が印加される。次に、走査ライン $8-x+1$ を選択電圧とすると共に、データライン $6-1\sim 6-M/2$ に第 i 番目の表示ラインの奇数ラインデータを印加し、第 i 番目の表示ラインの奇数番目の画素電極 $1(i, k)$ に映像信号が印加される。更に、走査ライン $8-x+2$ を選択電圧とすると共に、データライン $6-1\sim 6-M/2$ に第 $i+1$ 番目の表示ラインの奇数ラインデータを印加し、第 $i+1$ 番目の表示ラインの奇数番目の画素電極 $1(i+1, k)$ に映像信号が印加される。

【0150】本変形例では、TFTゲートの冗長構成になりながら、並列につながれたTFTゲートに欠陥が無い場合には、より大きな電流を液晶セルに供給できるので、高速な駆動が可能となる。

【0151】尚、アクティブマトリクス型液晶表示装置を、データライン $6-j$ に対して左右対象とした構成でも、同様な制御方法により駆動できる。また、図11(2)とは異なる電圧波形により、画素電極 $1(i, k)$ 、 $1(i, k+1)$ 、 $1(i+1, k)$ 、及び $1(i+1, k+1)$ の駆動順序を変更することも可能である。

【0152】

【発明の効果】以上説明したように、第1、第2、第3、第4、及び第5の特徴のアクティブマトリクス型液晶表示装置によれば、アクティブマトリクス回路構成において、走査方向の1表示ラインを2本の走査ラインで構成すると共に、同一のデータラインに接続された2個のTFTゲートを2本の走査ラインに独立に接続して、2個の表示画素を構成し、2本の走査ラインを時分割で駆動して表示を行なうこととしたので、駆動回路数が走査電極側で2倍になるものの、データ電極側で2分の1になり、全体として約4分の3に減少させることができ、また、接続ピッチをデータ電極側で2倍とすることができ、結果として、低コストで回路とパネル端子電極の接続が容易なアクティブマトリクス型液晶表示装置を提供することができる。

【0153】また、本発明の第1及び第2の特徴のアクティブマトリクス型液晶表示装置の駆動回路によれば、制御手段により、任意の表示ラインに対する2本の走査ラインを1水平走査期間内に時分割に駆動するよう走査

電極ドライバを制御し、一方の走査ラインの駆動期間中はデータラインに奇数ラインデータまたは偶数ラインデータを、他方の走査ラインの駆動期間中はデータラインに偶数ラインデータまたは奇数ラインデータを印加するようデータ電極ドライバを制御するか、或いは、1垂直走査期間を第1の期間及び第2の期間に分け、第1の期間には、データラインに奇数ラインデータまたは偶数ラインデータを印加して、各表示ラインに対して一方の走査ラインのみを順に駆動し、第2の期間には、データラインに偶数ラインデータまたは奇数ラインデータを印加して、各表示ラインに対して他方の走査ラインのみを順に駆動するようデータ電極ドライバ及び走査電極ドライバを制御することとしたので、駆動回路数を減少させることができ、低コストのアクティブマトリクス型液晶表示装置の駆動回路を提供することができる。

【0154】また、本発明の第6、第7、第8、及び第9の特徴のアクティブマトリクス型液晶表示装置によれば、 $N \times M$ のアクティブマトリクス回路構成において、走査方向の1表示ラインに対して第1走査ライン及び第2走査ラインの2本ずつ割り当て、各表示ラインにおいて、任意のデータラインに第1のTFTゲート及び第2のTFTゲートを直列に接続すると共に、各TFTゲートがそれぞれ第1走査ライン及び第2走査ラインに独立に接続して構成し、第1走査ライン及び第2走査ラインを、それぞれルート N 本ずつのグループに分けて、各グループを共通接続することとし、第1走査ラインのグループの1つと第2走査ラインのグループの1つが時分割に選択され、第1走査ライン及び第2走査ラインの双方が同時に選択された表示ライン上の画素電極に表示データを書き込み、線順次走査して表示することとしたので、ルート N 個の出力ドライバを備える2個の走査電極ドライバの構成により、出力ドライバ数を大幅に低減でき、低コストなアクティブマトリクス型液晶表示装置を提供することができる。

【0155】また、本発明の第3の特徴のアクティブマトリクス型液晶表示装置の駆動回路によれば、制御手段により、第1走査ラインのグループの1つと第2走査ラインのグループの1つが時分割に駆動するよう第1走査電極ドライバ及び第2走査電極ドライバを制御し、第1走査ライン及び第2走査ラインの双方が同時に選択された表示ライン上の画素電極に表示データを印加するようデータ電極ドライバを制御することとしたので、走査電極ドライバの出力ドライバ数を大幅に低減でき、低コストなアクティブマトリクス型液晶表示装置の駆動回路を提供することができる。

【0156】本発明の第10の特徴のアクティブマトリクス型液晶表示装置、及び第4の特徴のアクティブマトリクス型液晶表示装置の駆動回路によれば、共通接続される第1走査ライン及び第2走査ラインの各グループの配線を、表示パネル基板上に設けることにより、表示パ

ネル基板と駆動回路の接続点数を大幅に減らすことができる。

【0157】本発明の第11の特徴のアクティブマトリクス型液晶表示装置、及び第5の特徴のアクティブマトリクス型液晶表示装置の駆動回路によれば、共通接続される第1走査ライン及び第2走査ラインの各グループの配線を、駆動回路基板上に設けることにより、表示パネル基板内部での配線クロスオーバーが無くなり、表示パネルの歩留りが向上する。

【0158】また、本発明の第12及び第13の特徴のアクティブマトリクス型液晶表示装置、並びに第6及び第7の特徴のアクティブマトリクス型液晶表示装置の駆動回路によれば、 $N \times M$ のアクティブマトリクス回路構成において、走査方向の1表示ラインに対して2本ずつ割り当て、各表示ラインにおいて、任意のデータラインに第1のTFTゲート及び第2のTFTゲートを直列に接続すると共に、各TFTゲートをそれぞれ1表示ラインに対して割り当てられた2本の走査ラインに独立に接続して、1個の表示画素を構成し、走査電極ドライバのドライバ出力（ $O_1, E_1, O_2, E_2, \dots, O_L, E_L$ ）を、走査ラインの奇数番目に対しては、ドライバ出力の奇数番目の出力（ O_1, O_2, \dots, O_L ）を順に接続し、走査ラインの偶数番目に対しては、ドライバ出力の偶数番目の出力（ E_1, E_2, \dots, E_L ）を1周期毎に2つずらしながら（ $E_1, E_2, \dots, E_L, E_3, \dots, E_L, E_5, \dots$ ）接続し、制御手段により、第*i*番目の走査ライン及び第*i*+1番目の走査ラインの双方が同時に選択された第*i*番目の表示ライン上の画素電極に表示データを印加するようデータ電極ドライバ2を制御することとしたので、 N 本の表示ラインに対して $2 \times$ （ルート N ）個のドライバ出力を備える走査電極ドライバを構成すればよく、ドライバ出力数を大幅に低減でき、低コストなアクティブマトリクス型液晶表示装置及びその駆動回路を提供することができる。

【0159】本発明の第12及び第13の特徴のアクティブマトリクス型液晶表示装置、並びに第6及び第8の特徴のアクティブマトリクス型液晶表示装置の駆動回路によれば、走査電極ドライバのドライバ出力を、第*i*番目の走査ライン及び第*i*+1番目の走査ラインに、ドライバ出力から異なる2出力の組み合わせの内1つずつを接続し、制御手段により、第*i*番目の走査ライン及び第*i*+1番目の走査ラインの双方が同時に選択された第*i*番目の表示ライン上の画素電極に表示データを印加するようデータ電極ドライバを制御することとしたので、走査電極ドライバのドライバ出力数を大幅に低減でき、低コストなアクティブマトリクス型液晶表示装置及びその駆動回路を提供することができる。

【0160】また、本発明の第14、第15、第16、第17、第18、第19、及び第20の特徴のアクティブマトリクス型液晶表示装置、並びに第9及び第10の

特徴のアクティブマトリクス型液晶表示装置の駆動回路によれば、 $N \times M$ のアクティブマトリクス回路構成において、走査方向の1表示ラインに対して走査ラインを2本ずつ割り当て、任意のデータラインに接続される第1のTFTゲート及び第2のTFTゲートを、1表示ラインに対して割り当てられた2本の走査ラインに独立に接続し、またデータラインに接続される第3のTFTゲートを、一方の走査ラインに独立に接続するか、或いは第2のTFTゲートを第*i*番目の走査ラインに、第1のTFTゲートを第*i*+1番目の走査ラインにそれぞれ接続して、2個の表示画素を構成し、制御手段により、所定のタイミングで、第*i*番目の走査ライン及び第*i*+1番目の走査ラインに選択電圧を印加し、次のタイミングで、第*i*番目の走査ラインに選択電圧を、第*i*+1番目の走査ラインに非選択電圧をそれぞれ印加し、更に次のタイミングで、第*i*番目の走査ラインに非選択電圧を印加するという一連の動作を、*i*の昇順に繰り返すよう走査電極ドライバを制御することとしたので、表示ライン上の2個の画素電極がTFTゲートを介して1本のデータラインに接続されてデータラインを従来の半分とし、データ電極ドライバのドライバ出力数を半分にすることができ、低コストなアクティブマトリクス型液晶表示装置及びその駆動回路を提供することができる。

【0161】本発明の第18の特徴のアクティブマトリクス型液晶表示装置によれば、第1のTFTトランジスタまたは第2のTFTトランジスタを、走査ライン上に構成することとしたので、TFTゲートを構成する面積を小さくすることができ、画素電極を大きくとることができる。

【0162】本発明の第19の特徴のアクティブマトリクス型液晶表示装置によれば、第3のTFTトランジスタと画素電極の間に、制御端子を第*i*番目の走査ラインに接続した第4のTFTゲートを構成することとしたので、全ての画素電極に対して2つのTFTゲートが接続されることになり、書き込みの特性を均一にすることができる。

【0163】また、本発明の第21の特徴のアクティブマトリクス型液晶表示装置によれば、 $2N$ または $2N+1 \times M$ のアクティブマトリクス回路構成において、走査方向の第*i*番目の表示ラインに対して*x*番目及び*x*+1番目（*x*は3*i*/2以下の最大の整数）の2本の走査ラインを割り当て、任意のデータライン6-*j*に接続される第1のTFTゲート及び第2のTFTゲートを、それぞれ*x*番目及び*x*+1番目の走査ラインに独立に接続し、また、走査方向の第*i*+1番目の表示ラインに対して*x*+1番目及び*x*+2番目の走査ラインを割り当て、任意のデータラインに接続される第3のTFTゲート及び第4のTFTゲートを、それぞれ*x*+2番目及び*x*+1番目の走査ラインに独立に接続して、4個の表示画素を構成することとしたので、2本の表示ライン上の4個

の画素電極が T F T ゲートを介して 1 本のデータラインに接続されており、データラインを従来の半分とし、データ電極ドライバのドライバ出力数を半分にすることができ、低コストなアクティブマトリクス型液晶表示装置を提供することができる。

【0164】本発明の第 2 2 の特徴のアクティブマトリクス型液晶表示装置によれば、 $2N$ または $2N+1 \times M$ のアクティブマトリクス回路構成において、走査方向の第 i 番目の表示ラインに対して x 番目及び $x+1$ 番目

(x は $3i/2$ 以下の最大の整数) の 2 本の走査ラインを割り当て、任意のデータライン $6-j$ に接続される第 1 の T F T ゲート及び第 2 の T F T ゲートを、それぞれ x 目及び $x+1$ 番目の走査ラインに独立に接続し、また、走査方向の第 $i+1$ 番目の表示ラインに対して $x+1$ 番目及び $x+2$ 番目の走査ラインを割り当て、任意のデータラインに接続される第 3 の T F T ゲート及び第 4 の T F T ゲートを、それぞれ $x+1$ 番目及び $x+2$ 番目の走査ラインに独立に接続して、4 個の表示画素を構成することとしたので、2 本の表示ライン上の 4 個の画素電極が T F T ゲートを介して 1 本のデータラインに接続されており、データラインを従来の半分とし、データ電極ドライバのドライバ出力数を半分にすることができ、低コストなアクティブマトリクス型液晶表示装置を提供することができる。

【0165】本発明の第 2 3 の特徴のアクティブマトリクス型液晶表示装置によれば、 $2N$ または $2N+1 \times M$ のアクティブマトリクス回路構成において、走査方向の第 i 番目の表示ラインに対して x 番目及び $x+1$ 番目の 2 本の走査ラインを割り当て、任意のデータライン及び x 番目 (x は $3i/2$ 以下の最大の整数) の走査ラインに第 1 の T F T ゲートを、奇数番目の画素電極と偶数番目の画素電極間で $x+1$ 番目の走査ラインに第 2 の T F T ゲートを、それぞれ独立に接続し、また、走査方向の第 $i+1$ 番目の表示ラインに対して $x+1$ 番目及び $x+2$ 番目の走査ラインを割り当て、任意のデータライン及び $x+2$ 番目の走査ラインに第 3 の T F T ゲートを、奇数番目の画素電極と偶数番目の画素電極間で $x+1$ 番目の走査ラインに第 4 の T F T ゲートを、それぞれ独立に接続して、4 個の表示画素を構成することとしたので、2 本の表示ライン上の 4 個の画素電極が T F T ゲートを介して 1 本のデータラインに接続されており、データラインを従来の半分とし、データ電極ドライバのドライバ出力数を半分にすることができ、低コストなアクティブマトリクス型液晶表示装置を提供することができる。

【0166】本発明の第 2 4 の特徴のアクティブマトリクス型液晶表示装置によれば、 $2N$ または $2N+1 \times M$ のアクティブマトリクス回路構成において、走査方向の第 i 番目の表示ラインに対して x 番目及び $x+1$ 番目 (x は $3i/2$ 以下の最大の整数) の 2 本の走査ラインを割り当て、任意のデータライン及び x 番目の走査ライ

ンに第 1 の T F T ゲートを、奇数番目の画素電極と偶数番目の画素電極間で $x+1$ 番目の走査ラインに第 2 の T F T ゲートを、それぞれ独立に接続し、また、走査方向の第 $i+1$ 番目の表示ラインに対して $x+1$ 番目及び $x+2$ 番目の走査ラインを割り当て、任意のデータライン及び $x+1$ 番目の走査ラインに第 3 の T F T ゲートを、奇数番目の画素電極と偶数番目の画素電極間で $x+2$ 番目の走査ラインに第 4 の T F T ゲートを、それぞれ独立に接続して、4 個の表示画素を構成する事としたので、2 本の表示ライン上の 4 個の画素電極が T F T ゲートを介して 1 本のデータラインに接続されており、データラインを従来の半分とし、データ電極ドライバのドライバ出力数を半分にすることができ、低コストなアクティブマトリクス型液晶表示装置を提供することができる。

【0167】本発明の第 2 5 の特徴のアクティブマトリクス型液晶表示装置によれば、第 1、第 2、第 3 及びまたは第 4 の T F T ゲート F 1、F 2、F 3、及びまたは F 4 を、2 個の T F T ゲートを並列接続して構成することとしたので、T F T ゲートの冗長構成になりながら、並列につながれた T F T ゲートに欠陥が無い場合には、より大きな電流を液晶セルに供給できるので、高速な駆動が可能となる。

【0168】また、本発明の第 2 1、第 2 2、第 2 3、第 2 4、第 2 5、及び第 2 6 の特徴のアクティブマトリクス型液晶表示装置、並びに第 1 1 の特徴のアクティブマトリクス型液晶表示装置の駆動回路によれば、制御手段によって、第 x 番目の走査ライン及び第 $x+1$ 番目の走査ラインの双方が同時に選択された第 i 番目の表示ライン上の画素電極に表示データを印加するようデータ電極ドライバを制御することとしたので、データ電極ドライバのドライバ出力数を低減させることができ、低コストなアクティブマトリクス型液晶表示装置及びその駆動装置を提供することができる。

【0169】更に、本発明のアクティブマトリクス型液晶表示装置では、カラー表示を行なう場合には、画素電極として、横方向に赤画素電極、緑画素電極、及び青画素電極を順に配列して 1 カラー画素を構成することとしたので、カラー表示に対応できる。

【図面の簡単な説明】

【図 1】本発明 (請求項 1、2、3、4、または 5) の原理説明図である。

【図 2】本発明 (請求項 8、9、19、または 11) の原理説明図である。

【図 3】本発明 (請求項 15 または 16) の原理説明図である。

【図 4】本発明 (請求項 20 または 21) の原理説明図である。

【図 5】本発明の原理説明図であり、図 5 (1) は請求項 22 または 23 に、図 5 (2) は請求項 24 に、図 5 (3) は請求項 25 にそれぞれ対応する。

【図 6】本発明（請求項 20、21、22、23、24、または 25）の作用説明図である。

【図 7】図 7（1）は本発明（請求項 29）の原理説明図、図 7（2）は作用説明図である。

【図 8】図 8（1）は本発明（請求項 30）の原理説明図、図 8（2）は作用説明図である。

【図 9】図 9（1）は本発明（請求項 31）の原理説明図、図 9（2）は作用説明図である。

【図 10】図 10（1）は本発明（請求項 32）の原理説明図、図 10（2）は作用説明図である。

【図 11】図 11（1）は本発明（請求項 33）の原理説明図、図 11（2）は作用説明図である。

【図 12】本発明の第 1 実施例及び第 2 実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図である。

【図 13】第 1 実施例の動作を説明するタイミングチャートである。

【図 14】第 1 実施例の動作を説明するタイミングチャートである。

【図 15】第 2 実施例の動作を説明するタイミングチャートである。

【図 16】第 2 実施例の動作を説明するタイミングチャートである。

【図 17】従来例と第 1 及び第 2 実施例のアクティブマトリクス型液晶表示装置の回路数及びコストの比較図である。

【図 18】本発明の第 3 実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図である。

【図 19】第 3 実施例の動作説明図である。

【図 20】第 3 実施例の動作を説明するタイミングチャートである。

【図 21】第 3 実施例の実装配線図である。

【図 22】第 3 実施例の実装配線図である。

【図 23】本発明の第 4 実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図である。

【図 24】第 4 実施例の動作を説明するタイミングチャートである。

【図 25】本発明の第 5 実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図である。

【図 26】第 5 実施例の動作を説明するタイミングチャートである。

ートである。

【図 27】本発明の第 6 実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図である。

【図 28】第 6 実施例の動作を説明するタイミングチャートである。

【図 29】本発明の第 7 実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図である。

【図 30】従来のアクティブマトリクス型液晶表示装置及びその駆動回路の構成図である。

10 【符号の説明】

1, 101…液晶表示パネル

2, 102…（第 1）データ電極ドライバ

3…（第 2）データ電極ドライバ

4, 104…（第 1）走査電極ドライバ

5…（第 2）走査電極ドライバ

6, 6-1, …, 6-j, …6-M/2, 6-M/2+1, …, 6-M…データライン

8, 8-1, …, 8-i, 8-i+1, 8-i+2, …, 8-N, 8-N+1, …, 8-2N…走査ライン

20 10, 11…走査ラインのグループ

15…データ処理回路

16…タイミング発生回路（制御手段）

1(i, k), 1(i, k+1), 1(i+1, k), 1(i+1, k+1)…画素電極

R…赤画素電極

G…緑画素電極

B…青画素電極

T, T1, T2, G1, G2, Q1, Q2, P1~P4, F1~F4…TFTゲート

30 Da1~Da4, Db1~Db4…出力ドライバ

Rdata, Gdata, Bdata…データ信号

DATA…入力データ

Hsync…水平同期信号

Vsync…垂直同期信号

Scon, Scon1, Scon2…走査ドライバ制御信号

Dcon…データドライバ制御信号

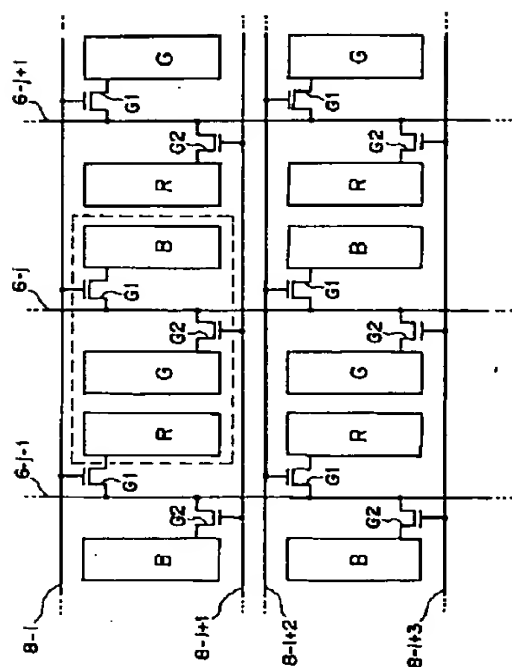
CLK…クロック

S11, S12…シフト入力

40 OE1, OE2…出力イネーブル信号

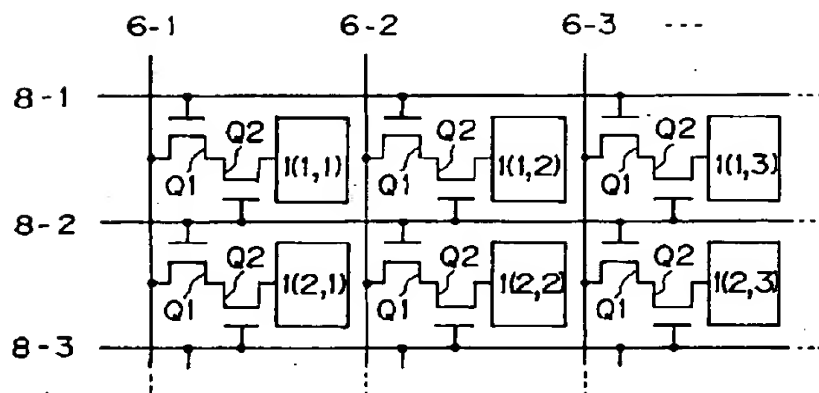
【図1】

本発明の原理説明図



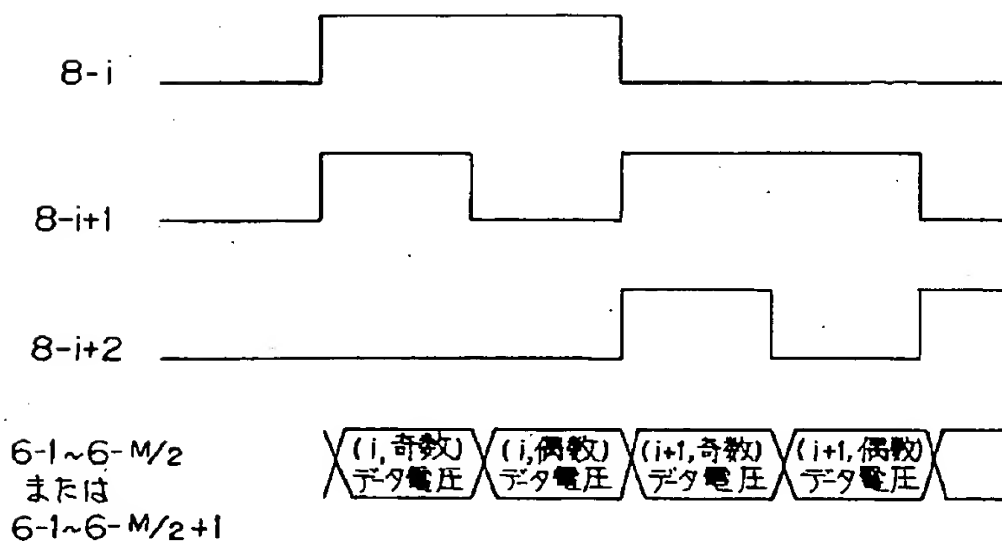
【図3】

本発明の原理説明図



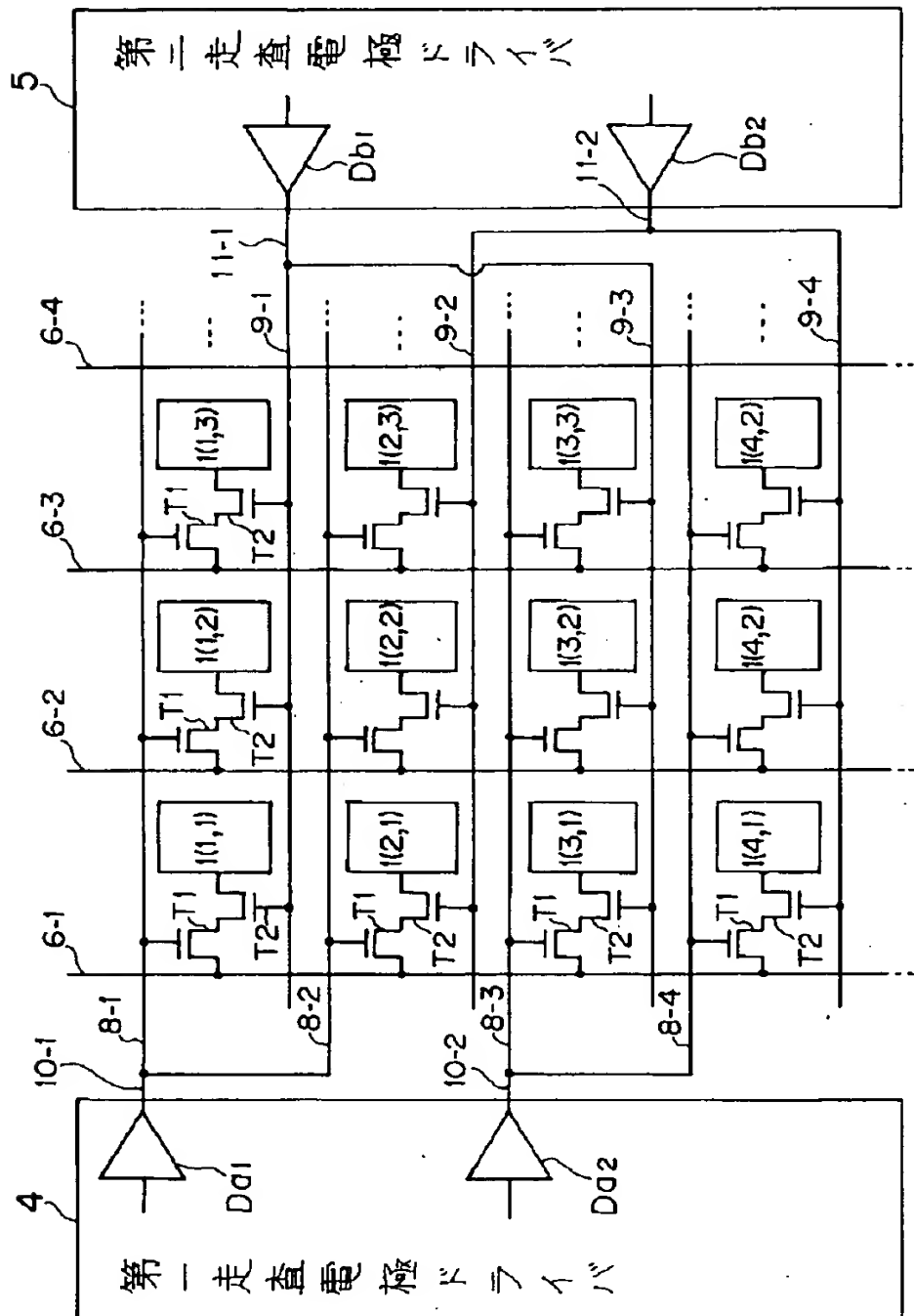
【図6】

本発明の作用説明図



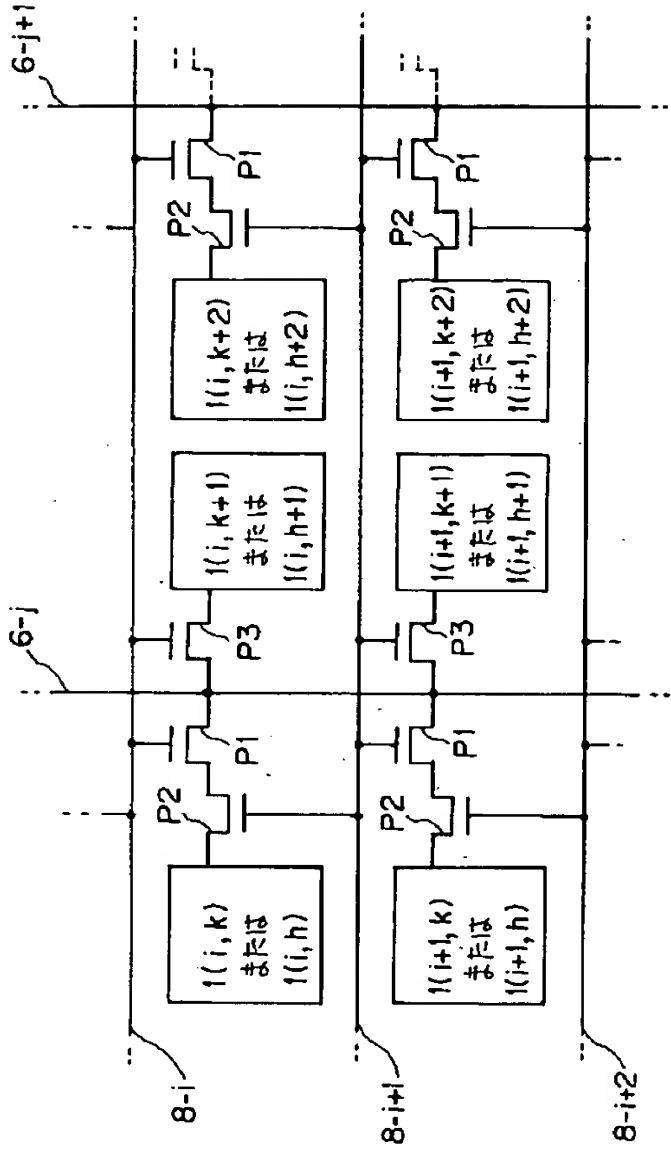
【図 2】

本発明の原理説明図



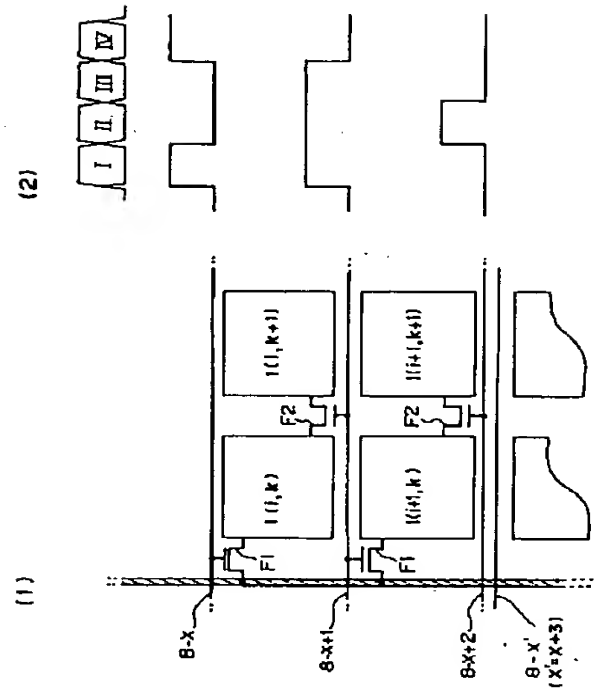
【図4】

本発明の原理説明図



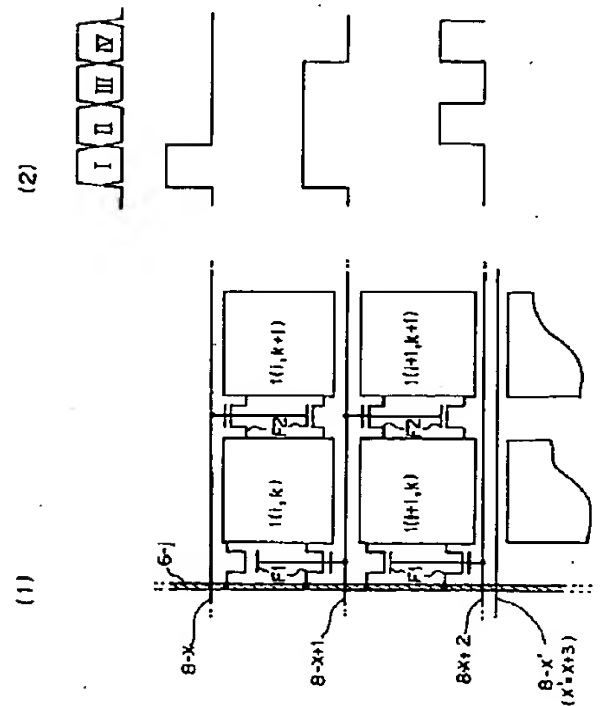
【図10】

本発明の原理説明図



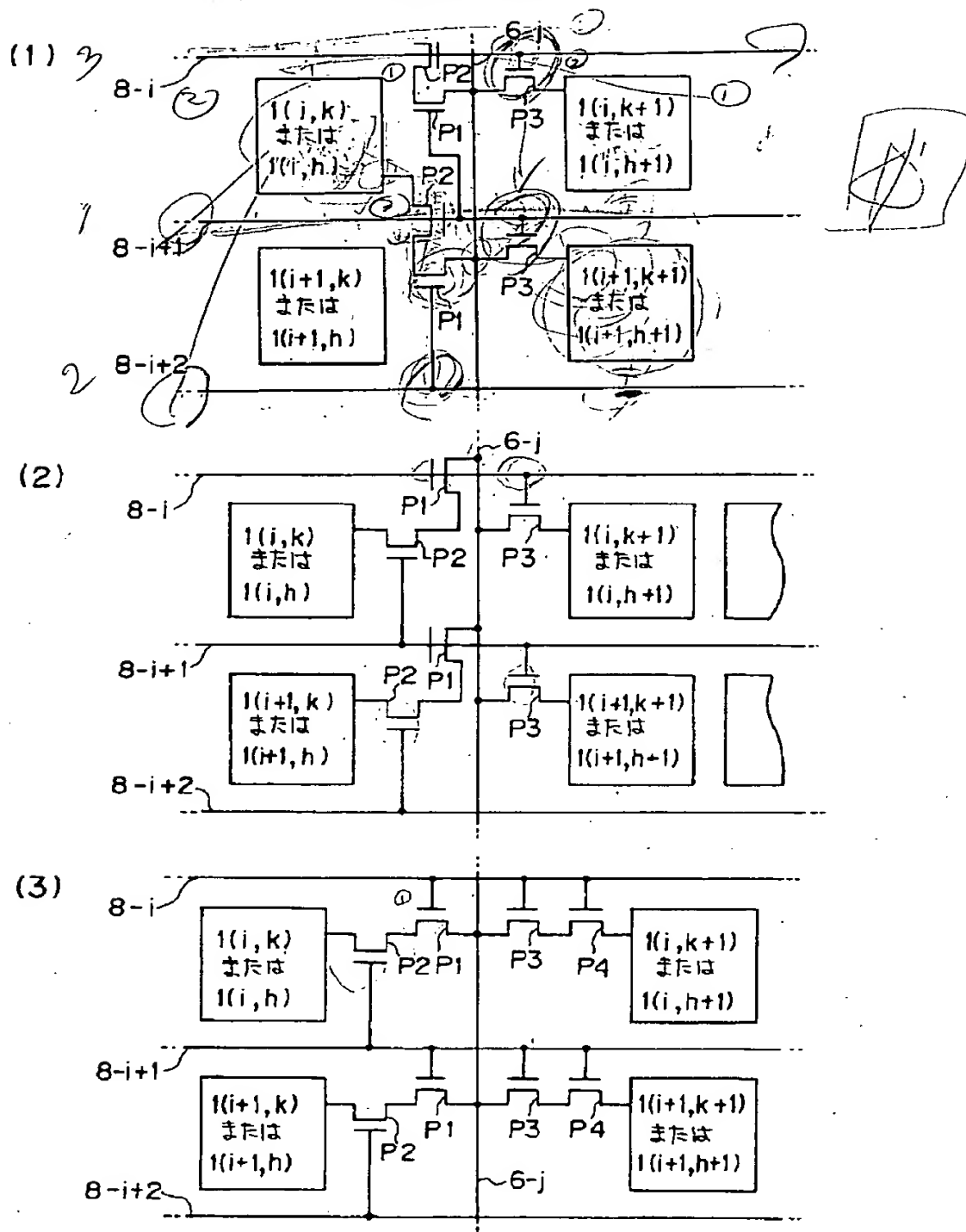
【図11】

本発明の原理説明図

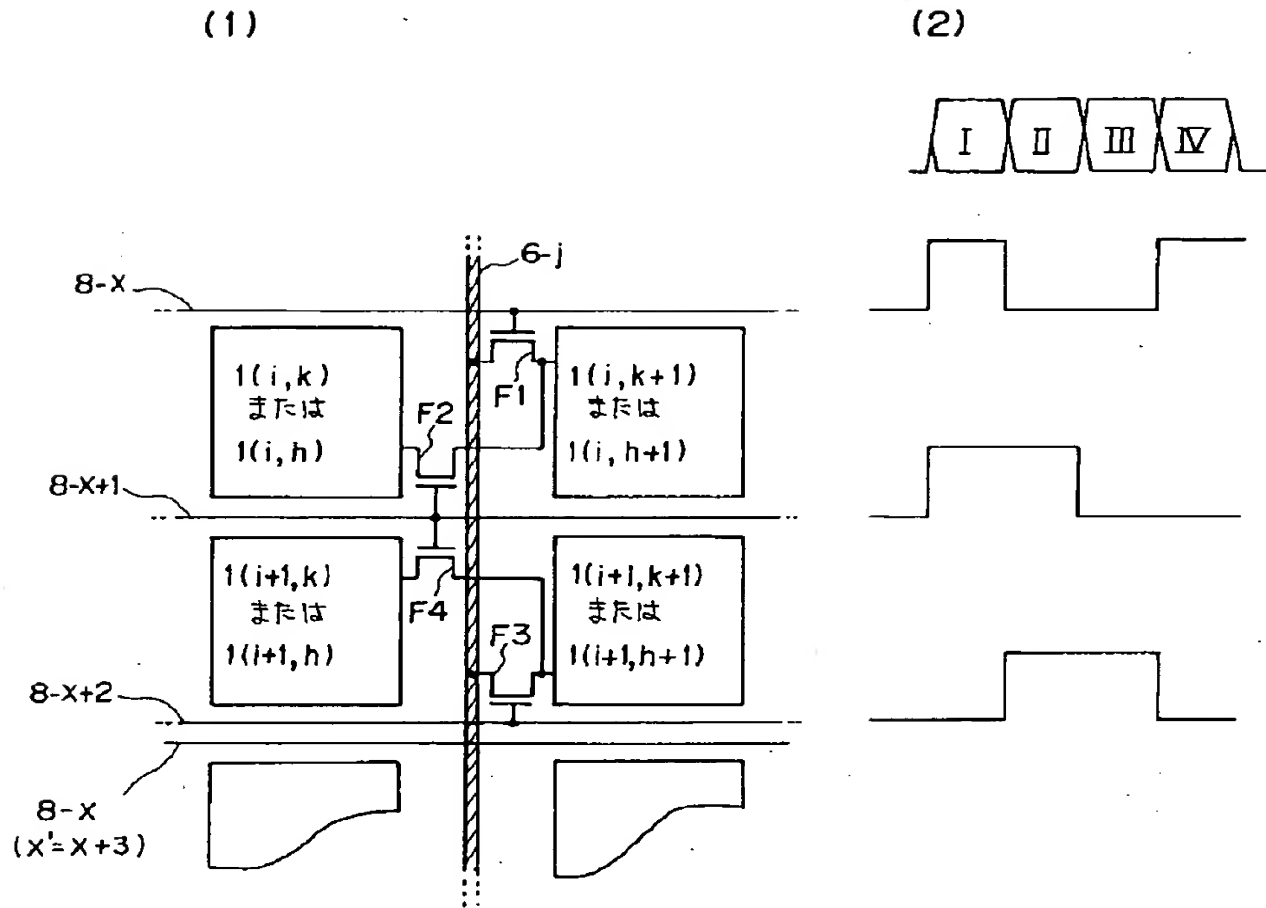


【図5】

本発明の原理説明図

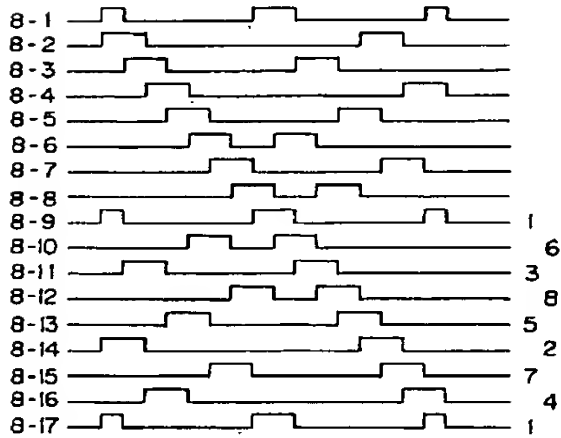


【図7】



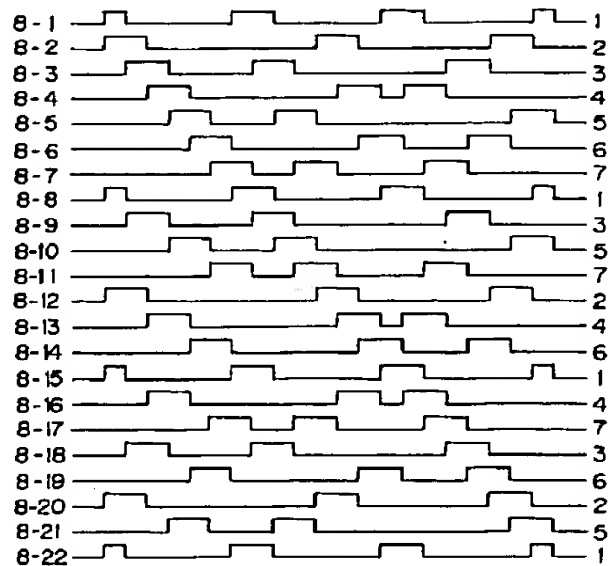
【図24】

第4実施例のタイミングチャート



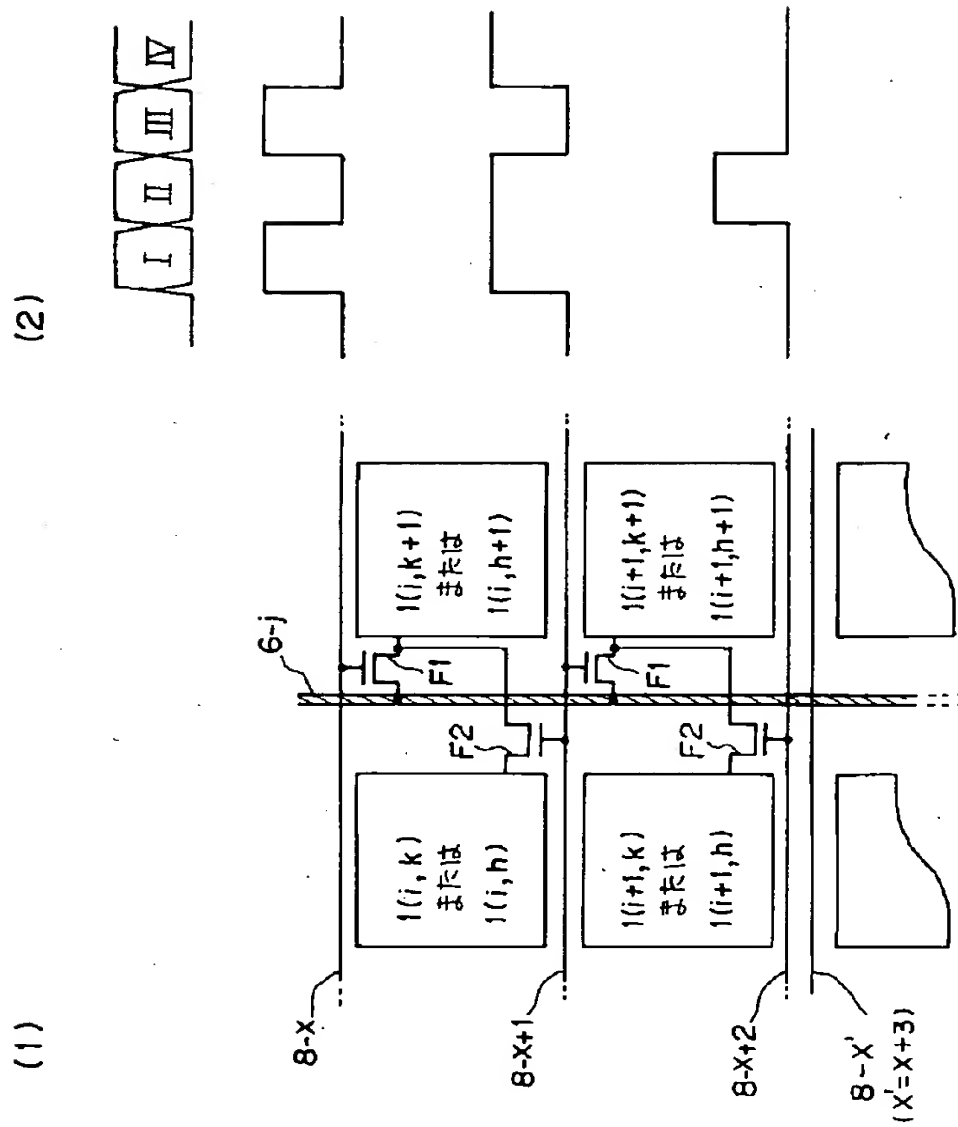
【図26】

第5実施例のタイミングチャート



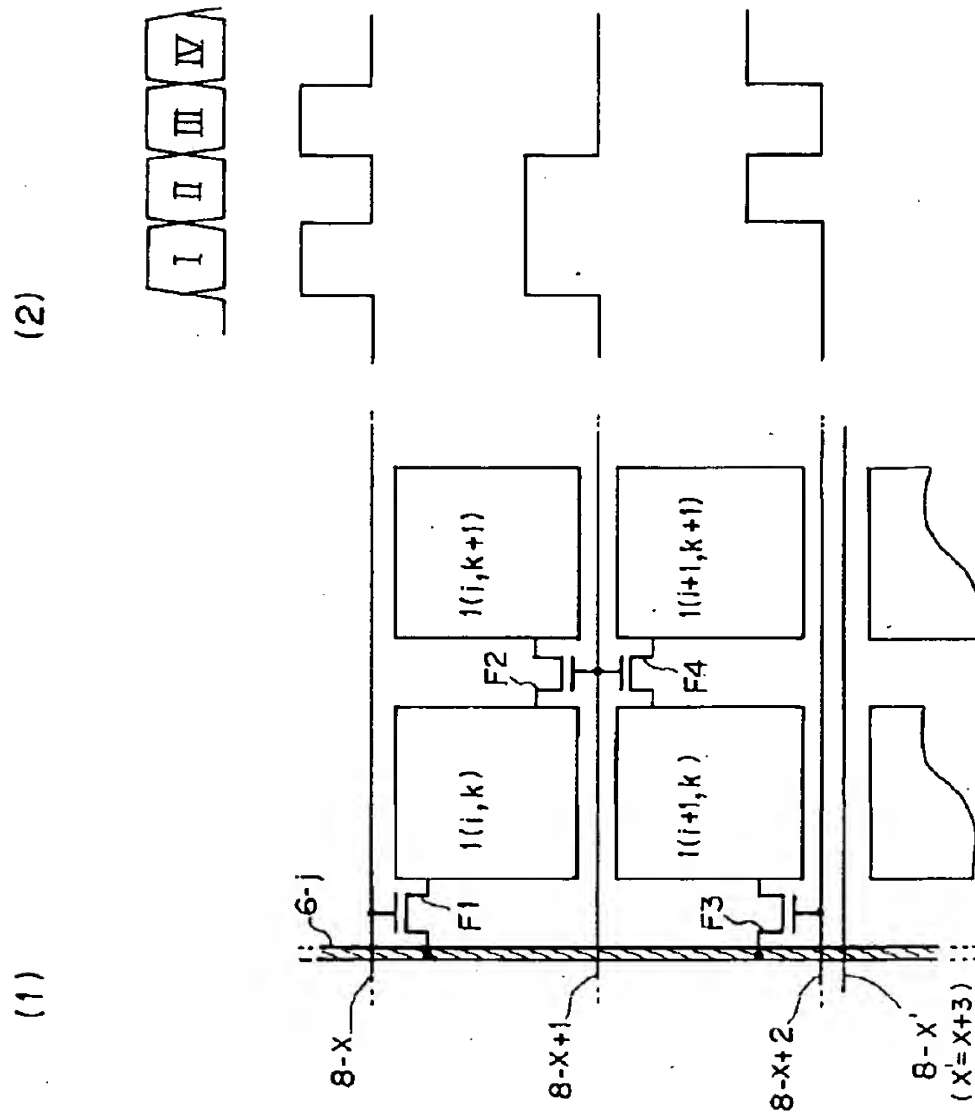
【図8】

本発明の原理説明図



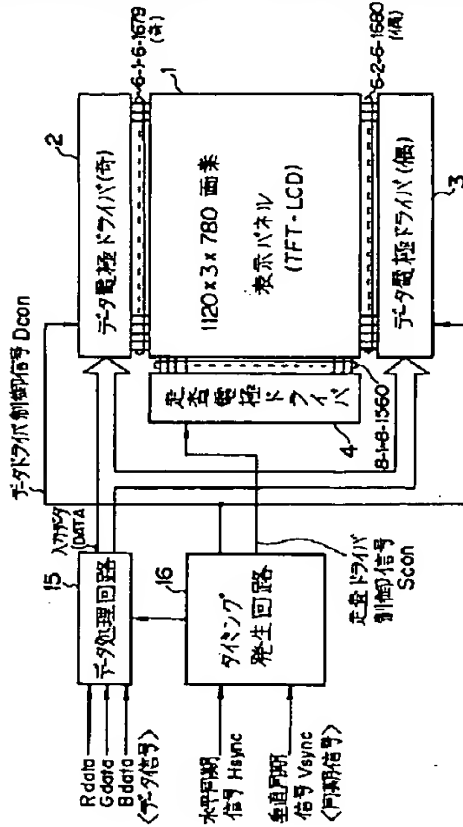
【図9】

本発明の原理説明図



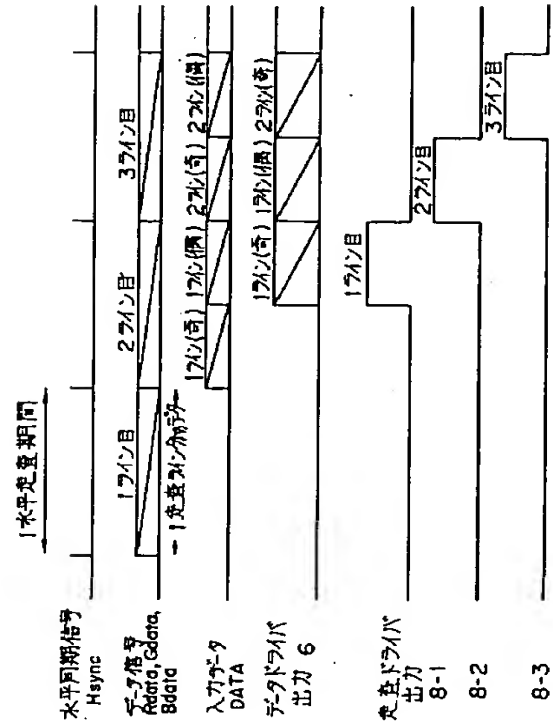
【図12】

第1及び第2実施例のアクティブマトリクス型液晶表示装置の構成図



【図13】

第1実施例のタイミングチャート



【図17】

従来例と第1及び第2実施例の比較

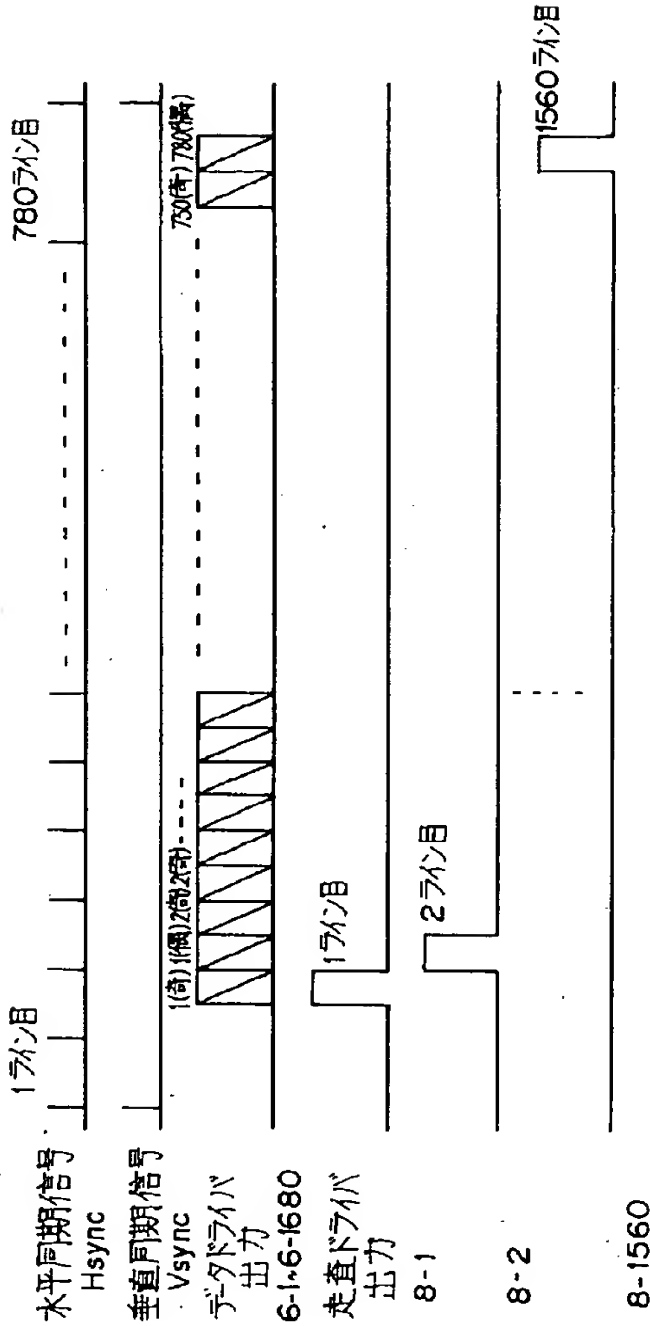
	データ側 (3)		ゲート側 (1)	回路数の合計	コスト
	回路数				
従来例	回路数 3360本 (1120×3)	0.1 mm	780本 0.3 mm	4140本	3360×3 + 10860 780×1
第1実施例	回路数 1680本 (1120×3÷2)		1560本 (780×2)	3240本	1680×3 + 6600 1560×2
第2実施例	回路数 1680本 (1120×3÷2)	0.2 mm	0.15 mm	—	—

(注) 1120×RGB×780の表示パネルに於ける比較

・()内はコスト比

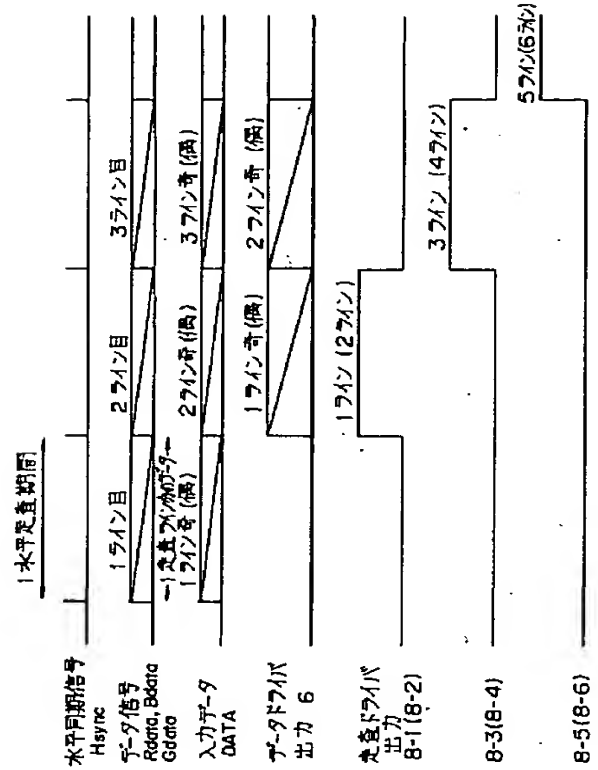
【図14】

第1実施例のタイミングチャート



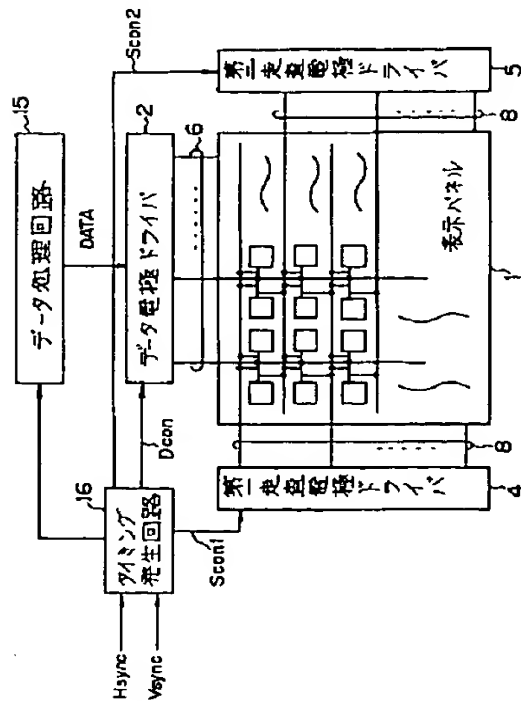
【図15】

第2実施例のタイミングチャート



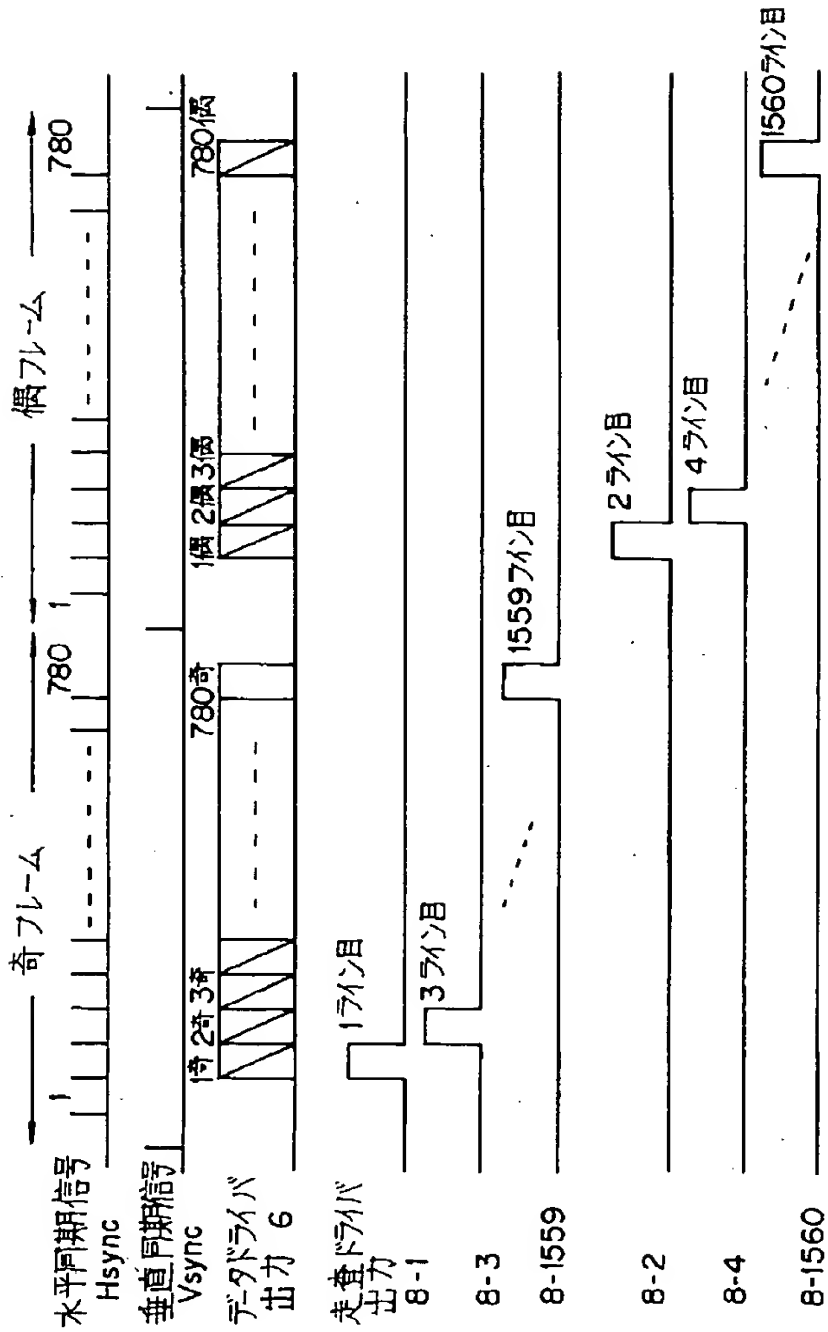
【図27】

第6実施例のアクティブマトリクス型液晶表示装置の構成図



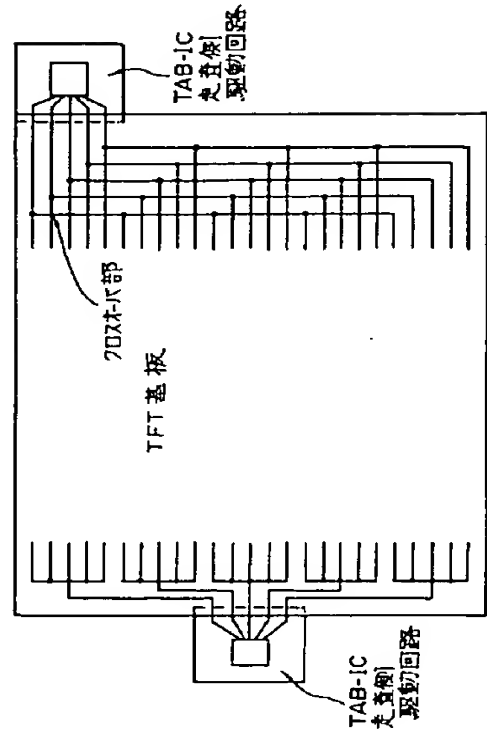
【図16】

第2実施例のタイミングチャート



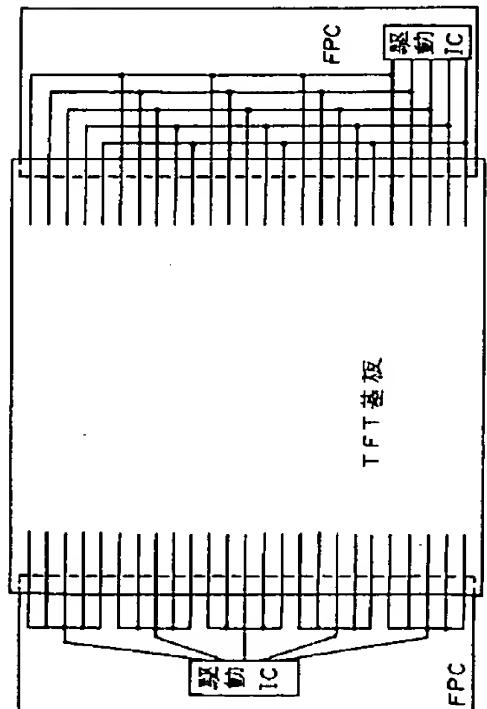
【図21】

第3実施例の実装配線図



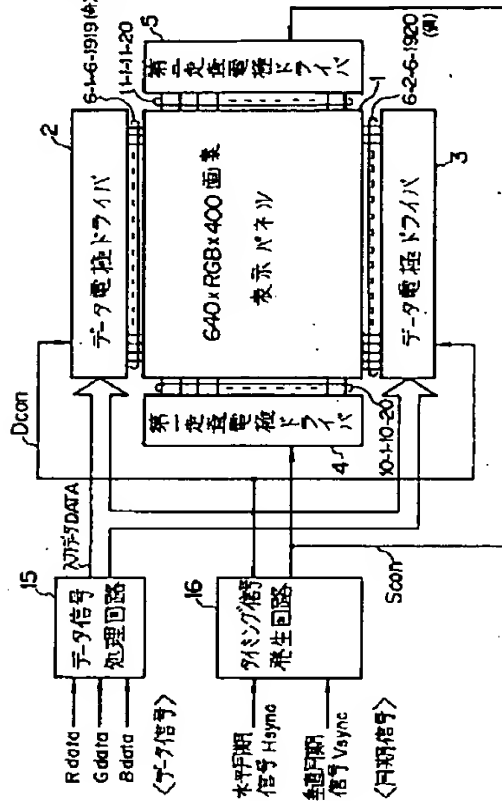
【図22】

第3実施例の実装配線図



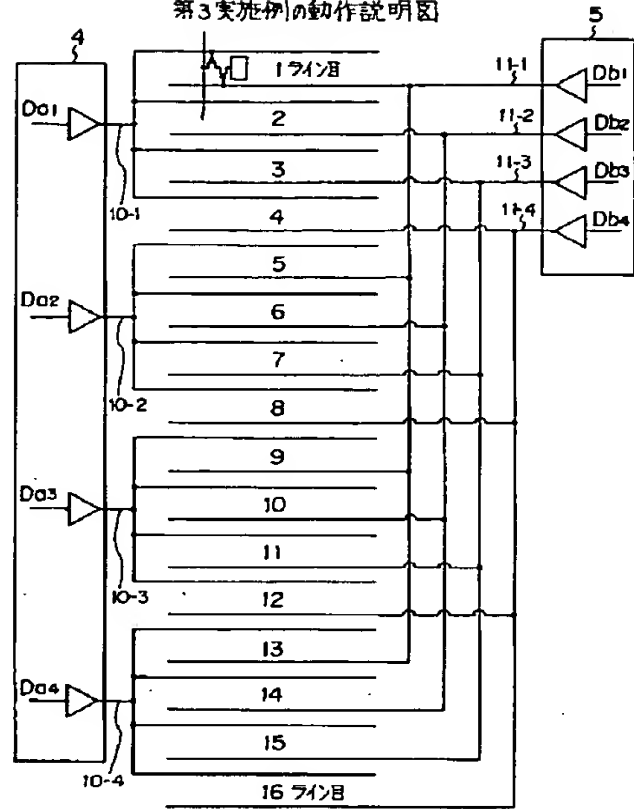
【図18】

第3実施例のアクティブマトリクス型液晶表示装置の構成図



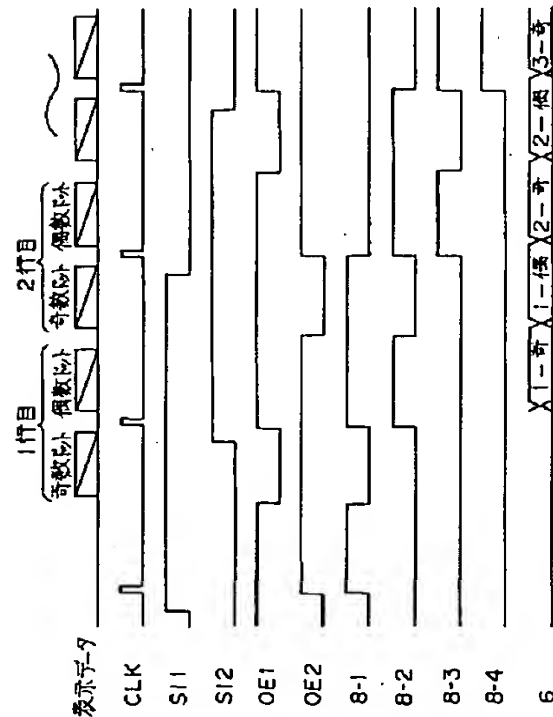
【図19】

第3実施例の動作説明図



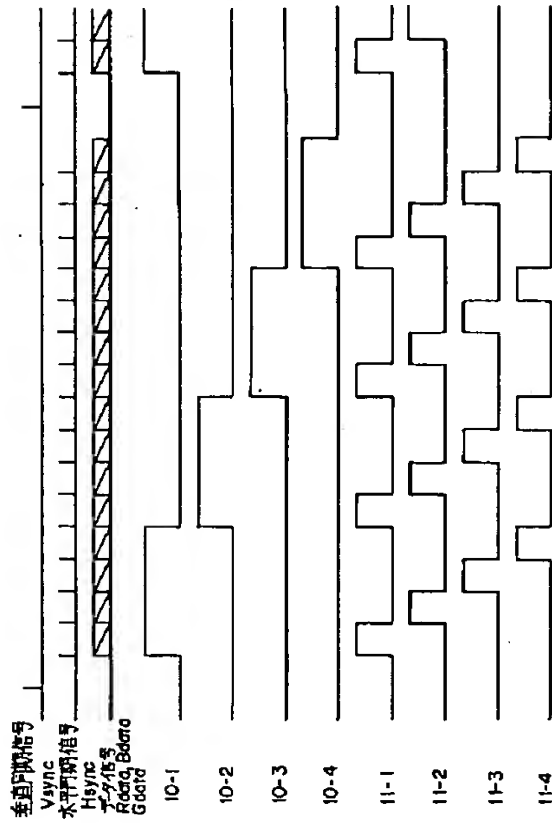
【図28】

第6実施例のタイミングチャート



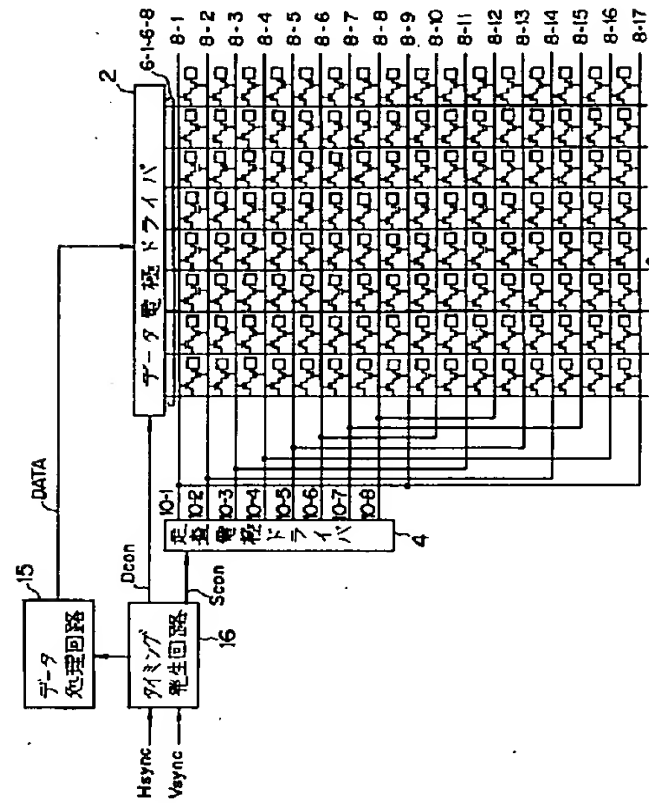
【図 20】

第 3 実施例のタイミングチャート



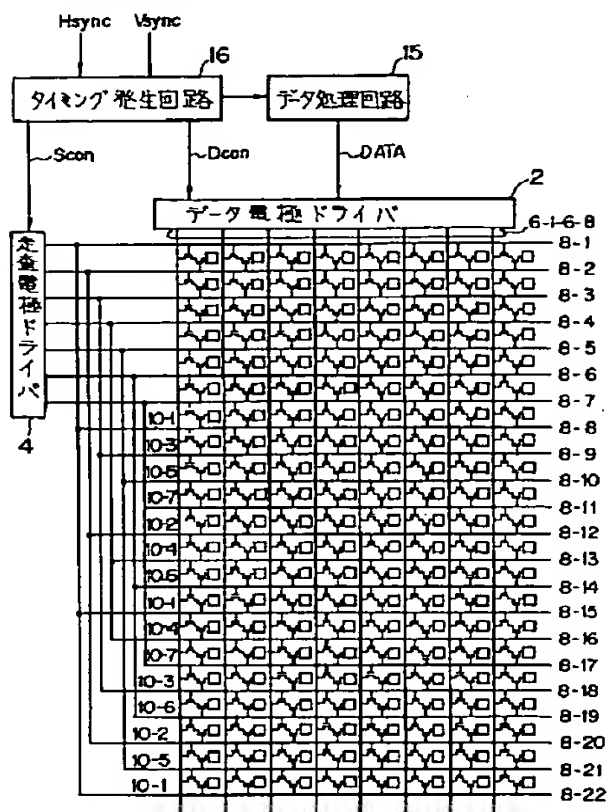
【図 23】

第 4 実施例のアクティブマトリクス型液晶表示装置の構成図



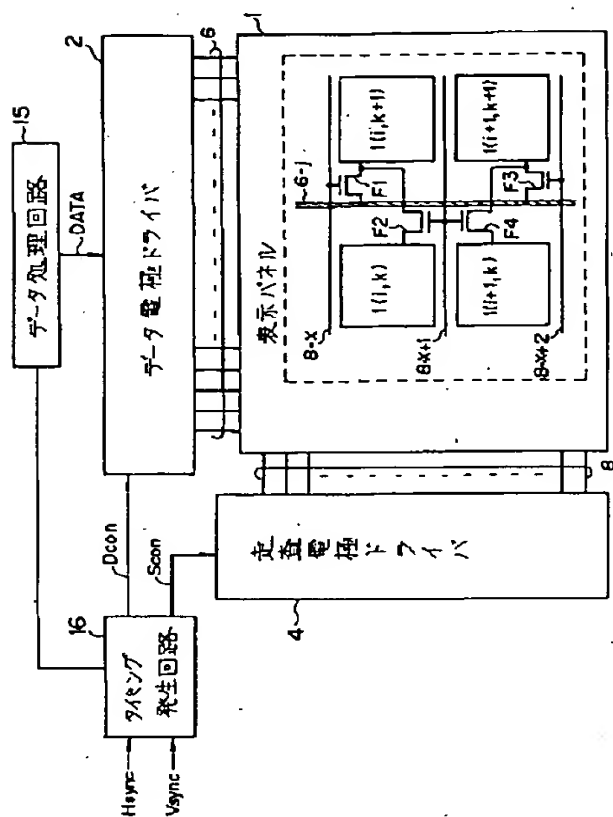
【図25】

第5実施例のアクティブマトリクス型液晶表示装置の構成図



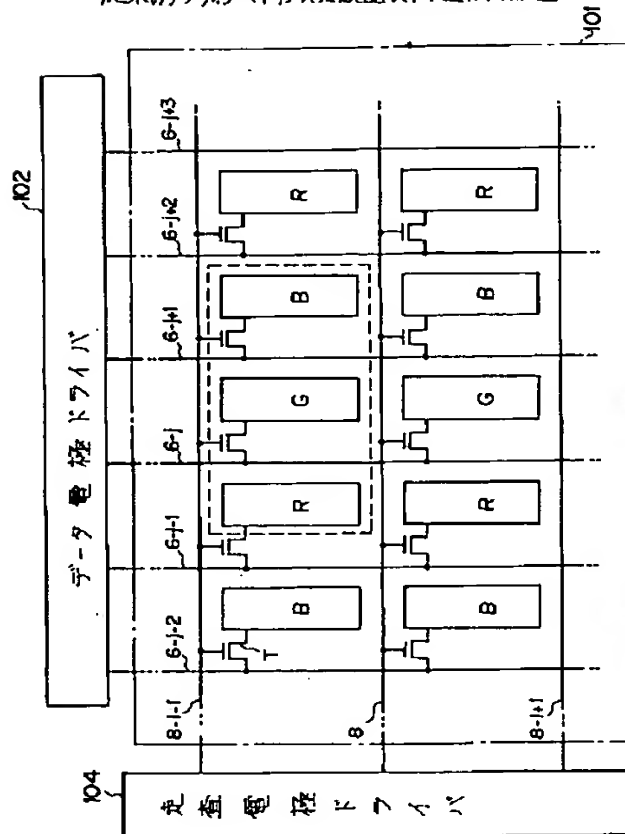
【図29】

第7実施例のアクティブマトリクス型液晶表示装置の構成図



【図30】

従来のアクティブマトリクス型液晶表示装置の構成図



フロントページの続き

- (72)発明者 小田 政美
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
- (72)発明者 星屋 隆之
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
- (72)発明者 村上 浩
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
- (72)発明者 糸数 昌史
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内